

Développement d'une méthodologie extensible pour la détection de charges électriques uniques dans une boîte quantique par un pont capacitif cryogénique

par

Alexandre Bédard-Vallée

Mémoire présenté au département de physique
en vue de l'obtention du grade de maître ès sciences (M.Sc.)

FACULTÉ des SCIENCES
UNIVERSITÉ de SHERBROOKE

Sherbrooke, Québec, Canada, 7 août 2018

Le 7 août 2018

le jury a accepté le mémoire de Monsieur Alexandre Bédard-Vallée dans sa version finale.

Membres du jury

Professeur Michel Pioro-Ladrière
Directeur de recherche
Département de physique

Professeur David Sénéchal
Membre interne
Département de physique

Professeur Louis Taillefer
Président rapporteur
Département de physique

À ma famille

Sommaire

Dans ce travail, une approche alternative à la détection de charge dans les boîtes quantiques ayant pour but d'améliorer l'extensibilité de ces dispositifs est examinée. Cette méthode alternative est basée sur l'utilisation d'un pont capacitif. Un tel circuit intégrant un transistor à effet de champ fonctionnel à température cryogénique a été caractérisé. Les étapes d'optimisation des différents paramètres de fonctionnement du circuit, comme sa capacité totale ou le gain du transistor, sont présentées.

Les expériences de détection de charge effectuées sur un transistor monoélectronique à l'aide du circuit ont mené à la détection de signaux correspondant à des transitions de charge, même en l'absence de transport électrique dans le dispositif. Le signal observé diffère légèrement du signal attendu pour des raisons encore incertaines, mais ses dépendances envers les paramètres expérimentaux sont celles qui sont attendues. La sensibilité à la charge du dispositif est encore trop basse pour réaliser des mesures en un coup (*single-shot*). Toutefois, des améliorations subséquentes pourraient aller jusqu'à permettre le remplacement des détecteurs de charge actuels, ce qui aurait des impacts positifs sur l'extensibilité des dispositifs de boîte quantique.

La capacité additionnelle du circuit à tracer des courbes de caractérisation capacité-tension cryogéniques est aussi démontrée, ce qui est intéressant pour la caractérisation détaillée de toute composante semi-conductrice cryogénique étant donné que les appareils de caractérisation habituels ne peuvent pas être utilisés dans ces conditions.

Mots clés : Information quantique, Qubits de spin, Détection de charge, Extensibilité, Pont capacitif

Remerciements

J'ai eu la chance de rencontrer des gens qui ont su m'épauler avec brio tout au long de ma maîtrise. Il ne fait l'ombre d'un doute que sans leur support indéfectible, ces années auraient été beaucoup moins plaisantes qu'elles ne l'ont été. C'est pourquoi je veux profiter de cette section pour les remercier.

Premièrement, je tiens à remercier Michel Pioro-Ladrière, mon superviseur de recherche. Non seulement m'as-tu accueilli à bras ouverts dans ton groupe de recherche il y a un peu moins de trois ans, mais tu as aussi toujours su m'aiguiller sur la bonne voie lorsque je m'éloignais un peu trop dans la mauvaise direction. Ton optimisme quant au déroulement de mon projet a aussi toujours été très apprécié.

Ensuite, je veux remercier Michael Lacerte, technicien en physique dans le groupe de Michel, et Christian Lupien, assistant de recherche pour l'Institut Quantique. Votre support technique tout au long du déroulement du projet fut d'une valeur inestimable, que ça ait été pour dessiner et construire une nouvelle pièce ou pour diagnostiquer des problèmes complexes.

Il me serait de même bien ingrat de ne pas remercier le groupe Pioro-Ladrière dans son ensemble. Qu'il s'agisse de Julien, Dany, Sophie, Maxime, Louis, David, Sara, Marc-Antoine ou Gregory, vous m'avez tous été d'une aide précieuse, que ce soit pour discuter de résultats ou simplement par votre camaraderie.

Je veux aussi remercier Nicolas Roy, du département de génie électrique. C'est avec toi que j'ai dessiné mes premiers vrais circuits imprimés, et tes conseils m'ont été extrêmement précieux pendant tout le reste du projet.

Je tiens aussi à remercier les membres du jury, David Sénéchal et Louis Taillefer, pour le temps précieux qu'ils ont investi à la lecture de cet ouvrage.

J'aimerais aussi dire merci ma famille. D'abord à mes parents, Serge et Nadine, pour leur

soutien inébranlable depuis mon plus jeune âge. Ensuite à mon frère et ma sœur, Gabrielle et Christophe, que j'aime profondément.

Finalement, je veux remercier mille fois Andréanne, avec qui je partage ma vie depuis un peu plus de deux ans. De t'avoir eu à mes côtés durant cette aventure fut une bénédiction. Tu parviens toujours à me fournir l'énergie nécessaire à toujours avancer, même dans les moments plus difficiles. Merci pour la patience et la compréhension dont tu as fait preuve durant les années qui ont mené à la rédaction de ce mémoire.

Table des matières

Sommaire	ii
Introduction	1
1 Aspects théoriques	4
1.1 Dispositifs monoélectroniques	4
1.1.1 Simple boîte quantique	4
1.1.2 Double boîte quantique	6
1.2 Méthodes de détection de charge modernes	7
1.2.1 Transistor monoélectronique	8
1.2.2 Détection dispersive basée sur une grille	9
1.3 Cause des changements de capacité	12
1.3.1 Dans une double boîte quantique	12
1.3.2 Dans un transistor monoélectronique	14
1.4 Pont capacitif à deux sources	16
1.4.1 Description du circuit	16
1.4.2 Utilisation dans le but de mesurer la capacité d'un condensateur inconnu	17
1.4.3 Utilisation dans le but de détecter un changement de capacité	18
1.4.4 Méthode d'équilibrage du pont	20
1.4.5 Méthode de mesure de la capacité totale du pont	21
1.5 Profilage capacité-tension d'une hétérostructure métal-oxyde-semiconducteur	23
1.5.1 Hétérostructures métal-oxyde-semi-conducteur	23
1.5.2 Bases du profilage capacité-tension	25
2 Aspects expérimentaux	28
2.1 Implémentation cryogénique du pont	28
2.1.1 Minimisation de la capacité parasite	28
2.1.2 Considérations pour l'opération de composantes électroniques à tem- pérature cryogénique	32

2.2	Dispositifs de boîtes quantiques	34
2.2.1	Double boîte quantique en silicium	34
2.3	Montages expérimentaux	36
2.3.1	Montage à 1.5K	36
2.3.2	Montage à 10mK	38
3	Développement et caractérisation du pont capacitif	41
3.1	Premier prototype de circuit imprimé	41
3.1.1	Description du prototype	41
3.1.2	Courbes d'équilibre avec deux condensateurs commerciaux	42
3.1.3	Mesure de la capacité totale	46
3.1.4	Détection d'une différence de l'ordre de 100aF	47
3.2	Deuxième prototype de circuit imprimé	49
3.2.1	Description du prototype	49
3.2.2	Évolution par rapport au premier prototype	52
3.2.3	Optimisation du gain du transistor	54
4	Mesures capacité-tension d'un transistor monoélectronique	59
4.1	Méthodologie	59
4.2	Résultats et analyse	60
4.2.1	Acquisition à partir de la grille d'accumulation et des contacts ohmiques	60
4.2.2	Acquisition à partir de la grille d'accumulation et d'une grille de déplétion	65
5	Mesures de blocage de Coulomb	69
5.1	Diamants de Coulomb	69
5.1.1	En présence de transport	69
5.1.2	En absence de transport	70
5.2	Diagrammes de stabilité	73
5.2.1	Avec deux contacts ohmiques connectés	73
5.2.2	Avec un seul contact ohmique connecté	76
5.2.3	Mesures d'équilibrage du pont	77
5.3	Dépendance en fréquence	80
5.4	Dépendance en amplitude	81
5.5	Estimation de la sensibilité à la capacité	83
	Conclusion	85
A	Calculs détaillés des valeurs de changement de capacité	88

A.1	Pour le SET seul	88
A.2	Calcul pour le SET connecté au pont	89
A.2.1	Pont capacitif seul	90
A.2.2	SET seul	92
A.2.3	Pont capacitif connecté à un SET	94
B	Développement détaillé des équations reliées au pont de capacité	95
B.1	Équation principale du pont	95
B.2	Équations pour l'amplitude et la phase	96
B.3	Dépendance en fréquence des lignes d'entrée	97
B.4	Valeur de capacité de découplage à utiliser	99
C	Effet du HEMT sur le pont capacitif	100
D	Conception de condensateurs coplanaires	103
E	Diagrammes de stabilité additionnels	106
	Bibliographie	106

Liste des tableaux

3.1	Principales contributions à la capacité totale du second prototype	53
4.1	Comparaison entre différentes méthodes de calcul du changement de capacité	62
D.1	Dimensions mesurées des condensateurs coplanaires fabriqués	105

Table des figures

1.1	Représentation schématique d'une simple boîte quantique	5
1.2	Illustration du blocage de Coulomb dans une simple boîte quantique	6
1.3	Représentation schématique d'une double boîte quantique	7
1.4	Représentation schématique d'un transistor monoélectronique couplé à une simple boîte quantique	9
1.5	Schéma d'une simple boîte quantique avec détection dispersive	10
1.6	Illustration de la capacité paramétrique attendue dans un SET	16
1.7	Pont capacitif à deux sources de base	17
1.8	Courbes d'équilibrage simulées d'un pont capacitif à deux sources	19
1.9	Effet simulé d'une augmentation de la capacité totale sur le pont capacitif .	22
1.10	Schémas de structures métal-oxyde-semi-conducteur	23
1.11	Courbe capacité-tension théorique d'une hétérostructure MOS	26
1.12	Connexions possibles pour une mesure capacité-tension d'un MOSFET . . .	27
2.1	Schéma du pont cryogénique illustrant les contributions à la capacité parasite	29
2.2	Pont capacitif avec HEMT	31
2.3	Minimisation de la capacité parasite sur un circuit imprimé	32
2.4	Image par microscopie électronique d'une double boîte quantique	36
2.5	Schéma du montage à 1.5K	38
2.6	Schéma du montage à 10 mK	40
3.1	Première version de la carte de circuit imprimé	43
3.2	Graphiques d'équilibrage obtenus avec le prototype 1 et $C_r = C_s = 0.1$ pF .	45
3.3	Modèle de simulation du pont capacitif avec diaphonie entre certaines lignes	46
3.4	Simulation de la réponse en fréquence du pont avec couplage capacitif entre les entrées et la sortie	47
3.5	Courbes d'équilibre pour $C_s = 830$ aF et $C_s = 280$ aF	49
3.6	Deuxième version de la carte de circuit imprimé	50

3.7	Mesure de la capacité totale du second prototype	54
3.8	Dépendance en fréquences des courbes de balance du deuxième prototype	55
3.9	Optimisation du rapport gain-puissance du HEMT	57
3.10	Dépendance en fréquence du prototype 2 avec $R_D = 100 \text{ k}\Omega$ à l'extérieur du circuit cryogénique	58
4.1	Mesure C-V de l'accumulation d'un SET à 1.5 K	61
4.2	Dépendance en fréquence de la courbe d'accumulation C-V	65
4.3	Dépendance en température de la courbe d'accumulation C-V	66
4.4	Mesure C-V du SET avec sa grille d'accumulation et une grille de déplétion	68
5.1	Diamants de Coulomb détectés capacitivement dans le régime de transport	71
5.2	Diamants de Coulomb détectés capacitivement dans le régime pincé	74
5.3	Diagramme de stabilité en détection capacitive dans le régime pincé	76
5.4	Comparaison du signal capacitif lorsque le drain est polarisé et lorsqu'il est ouvert	78
5.5	Courbes d'équilibrage permettant de mieux comprendre la source du signal capacitif	79
5.6	Dépendance en fréquence du signal capacitif	81
5.7	Dépendance en amplitude d'excitation du signal du pont en absence de transport	82
5.8	Estimation de la sensibilité de charge du système	85
A.1	Pont à deux sources simplifié utilisé pour l'analyse lagrangienne	90
A.2	Transistor monoélectronique utilisé pour l'analyse lagrangienne	92
B.1	Diagramme illustrant la loi des nœuds de Kirchhoff	95
B.2	Schéma du filtre passe-haut formé à l'entrée du pont capacitif	98
B.3	Effet de la capacité de découplage sur le pont	99
C.1	Diagrammes de polarisation d'un transistor à effet de champ	101
D.1	Illustration d'une puce de condensateurs coplanaires	104
E.1	Diagrammes SETU-ASET	107
E.2	Diagrammes SETU-LR	108
E.3	Diagrammes SETU-UR	109

Introduction

La découverte de l'électron et de la nature quantique de la charge est plutôt récente dans l'histoire de la physique. En effet, il suffit de remonter à 1897 pour assister à l'expérience de Thomson ayant fourni les premières preuves de l'existence des électrons, ou encore à 1913 pour la première mesure de la charge de ces mêmes particules par Millikan [1]. Dans les mêmes années, les fondations d'une nouvelle branche de la physique, la mécanique quantique, étaient en cours de construction. Cette nouvelle théorie a mené à la compréhension de tout nouveaux concepts fondamentaux, comme l'intrication et la superposition quantique. Ceux-ci sont notoirement difficiles à simuler sur un ordinateur conventionnel, et il a ainsi été proposé [2] qu'une manière de contourner le problème serait de créer un nouveau type d'ordinateur, qui utiliserait lui-même ces phénomènes à son avantage : l'ordinateur quantique.

Il est ainsi remarquable qu'à peine 100 ans après la découverte de l'électron, les techniques de fabrication de dispositifs électroniques et la mécanique quantique aient déjà été suffisamment avancées pour que Loss et DiVincenzo puissent imaginer piéger et manipuler des électrons uniques dans des microscopiques structures semi-conductrices, nommées boîtes quantiques, dans le but de former un tel ordinateur quantique [3]. Selon cette approche, l'unité d'information de base, dite *qubit*, serait le spin de l'électron, qui est un parfait exemple de système à deux niveaux. La différence clé entre le qubit et le bit de l'ordinateur classique est que le spin de l'électron puisse se trouver en superposition de ses états $|\uparrow\rangle$ ($|1\rangle$) et $|\downarrow\rangle$ ($|0\rangle$), tandis qu'un bit est nécessairement soit dans l'état 0 ou dans l'état 1. L'étendue de la différence entre ces deux concepts peut être démontrée en imaginant un système constitué de n composantes à deux niveaux. Si ces n composantes sont classiques, comme les bits, alors l'état complet du système peut être simplement décrit à l'aide de n nombres. Cependant, si les composantes sont plutôt quantiques, comme des qubits, il faudra plutôt $2^n - 1$ nombres complexes pour décrire le système [4].

Bien sûr, de tels systèmes peuvent aussi être implémentés de d'autres façons que ce que

Loss et DiVincenzo ont suggéré, et c'est pourquoi il existe aussi, par exemple, des qubits basés sur des jonctions supraconductrices [5] ou des photons intriqués [6]. Il demeure toutefois que, de nos jours, les qubits de spin représentent l'une des approches les plus prometteuses vers l'ordinateur quantique. Cela ne veut toutefois pas dire que tout est gagné, car plusieurs défis techniques restent à surmonter avant de disposer d'un ordinateur quantique universel basé sur ceux-ci, ou, en fait, sur toute autre implémentation.

Résumons les éléments requis pour qu'un tel système fonctionne. Premièrement, il est nécessaire de pouvoir réaliser des opérations logiques sur les qubits, et ce assez rapidement par rapport au temps de décohérence pour éviter la corruption d'information.

Deuxièmement, il faudra pouvoir disposer au minimum de quelques centaines de qubits logiques pouvant être couplés les uns avec les autres avant d'être en mesure d'obtenir de véritables avantages à l'utilisation d'un ordinateur quantique. Comme la tolérance aux erreurs nécessite cependant d'encoder un qubit logique en plusieurs qubits physiques, cela nécessitera environ 1000 à 10 000 fois plus de qubits physiques [7]. Finalement, il doit être possible de lire l'état de n'importe quel qubit du dispositif de manière fiable.

Aujourd'hui, les opérations à un et à deux qubits et la lecture subséquente de leur état sont relativement bien maîtrisées [8]. Généralement, les opérations sont réalisées par l'application de champs magnétiques oscillants [9, 10], et la lecture est effectuée à l'aide d'un capteur de charge situé à proximité de la boîte quantique et du principe de conversion spin-charge [11, 12]. Le tout peut aussi être effectué suffisamment rapidement, particulièrement dans les boîtes quantiques en silicium isotopiquement purifié [13, 14]. Cependant, passer des dispositifs à quelques qubits qui existent aujourd'hui à des dispositifs plus complexes est un défi de taille, et de plus en plus de groupes de recherche se penchent sur la question [15-17]. Outre le fait que le nombre d'interconnexions devient vite énorme si l'on veut contrôler directement chaque qubit [18], l'un des aspects les plus limitatifs à ce niveau est justement que les dispositifs de détection de charge utilisés pour lire l'état de spin sont plus grands que la taille des boîtes quantiques elles-mêmes, et que le bon fonctionnement de la lecture nécessite que le détecteur et la boîte à mesurer soient très près l'un de l'autre. Cela impose des contraintes importantes sur la manière dont les dispositifs peuvent être fabriqués, et réduit donc leur extensibilité.

En conséquence, une méthode alternative nommée lecture dispersive et déjà utilisée pour les qubits supraconducteurs [19, 20] est actuellement étudiée par plusieurs pour l'appliquer aux qubits de spin [15, 17, 21-24]. Celle-ci consiste en la connexion d'un résonateur micro-ondes à l'une des grilles de contrôle d'une boîte quantique. L'idée est que si l'état de la boîte change, cela modifiera le comportement du résonateur et donc du signal qu'il reflétera. Les détecteurs de charge actuels pourraient alors être abandonnés. Cependant,

cela demande une instrumentation très complexe et l'utilisation de composantes difficilement intégrables au reste du circuit, ce qui pourrait aussi se révéler problématique.

Dans le cadre de ce projet, le remplacement de ces techniques de détection de charge par une autre, qui serait moins restrictive en ce qui a trait à la conception des dispositifs tout en demandant une instrumentation moins complexe que la lecture dispersive, a été étudié. La méthode investiguée est basée sur la mesure directe d'infimes changements de capacité associés aux transitions de charge de la boîte quantique à l'aide d'un pont capacitif. Celle-ci avait déjà été utilisée avec succès sur des dispositifs similaires [25], mais semble avoir été oubliée lors de l'apparition des détecteurs de charge. Son avantage premier est le même que celui de la mesure dispersive, en ce sens qu'elle pourrait permettre l'élimination complète des détecteurs de charge ; il suffirait simplement de pouvoir connecter électriquement un dispositif de mesure à certains contacts de la boîte quantique à mesurer, ce qui est en soit beaucoup moins restrictif. Toutefois, le lecteur remarquera que l'instrumentation nécessaire au fonctionnement de ce dispositif est beaucoup plus simple. Additionnellement, il est intéressant de noter que cette méthode peut aussi servir à réaliser des caractérisations capacité-tension, ce qui peut donner en soit des informations importantes sur les dispositifs.

L'ouvrage présent est divisé en cinq chapitres. Le premier chapitre décrit tous les aspects théoriques importants à la compréhension du projet. Le fonctionnement général des boîtes quantiques et du pont capacitif y seront présentés. Le second chapitre décrit quant à lui les aspects expérimentaux du projet, comme les considérations nécessaires à l'implémentation cryogénique d'un pont capacitif. Le troisième chapitre présente les résultats clés de la caractérisation de deux prototypes du circuit de détection. Finalement, les quatrième et cinquième chapitres présentent des cas d'utilisation réels du circuit, soit les mesures capacité-tension et les mesures de blocage de Coulomb dans une boîte quantique.

Chapitre 1

Aspects théoriques

1.1 Dispositifs monoélectroniques

1.1.1 Simple boîte quantique

Description générale

La boîte quantique (BQ) (figure 1.1) est une structure à la base constituée d'un îlot métallique lié par des jonctions tunnel à des réservoirs de charge. L'un de ces réservoirs se nomme la source et le second, le drain. À cela s'ajoute un couplage capacitif entre l'îlot et une (ou plusieurs) grille électrostatique sur laquelle est appliquée une tension V_G . En modifiant cette tension, il est possible de contrôler précisément le nombre d'électrons qui se trouvent dans l'îlot.

Le fonctionnement d'une telle structure repose sur deux phénomènes : l'effet de confinement quantique et le blocage de Coulomb. Le premier cause la discrétisation des niveaux d'énergie d'une particule lorsque celle-ci est confinée en trois dimensions dans une région suffisamment petite. Ainsi, si l'îlot central est suffisamment petit, les niveaux d'énergie des électrons pouvant l'occuper seront discrets, et non pas continus. Le blocage de Coulomb est quant à lui un effet complètement classique causé par la répulsion électrostatique entre deux particules de même polarité électrique. Un électron doit posséder une énergie suffisante pour vaincre cette répulsion avant de pouvoir passer d'un des réservoirs jusqu'à l'îlot central. Cette énergie minimale se nomme l'énergie de charge de l'îlot. Elle est définie comme $E_C = e^2/2C_\Sigma$, avec C_Σ la capacité totale de l'îlot incluant les capacités des grilles et des jonctions tunnel. L'électron devra cependant posséder une

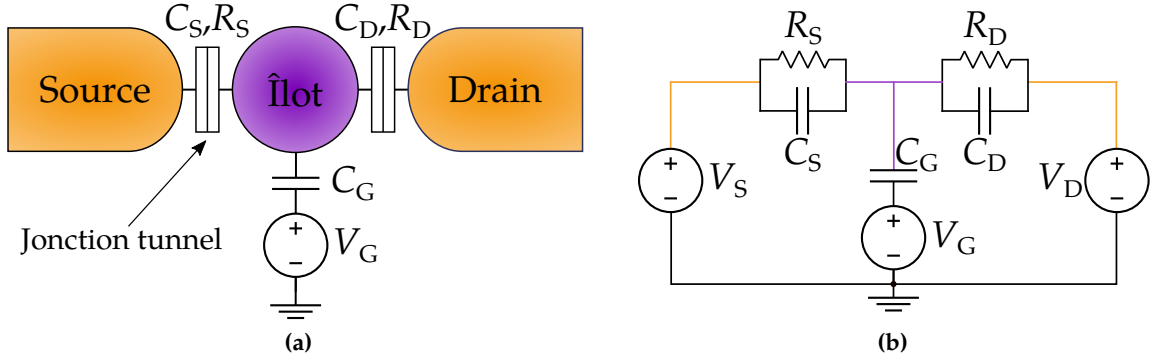


FIGURE 1.1 (a) Schéma représentant la structure de base d'une simple boîte quantique. Les réservoirs (orange) contiennent un nombre quasi-infini d'électrons. Il est possible pour ces électrons de passer des réservoirs jusqu'à l'îlot central (violet) par les jonctions tunnel si la tension V_G fait en sorte que cela soit favorable énergétiquement. (b) Équivalent électrique du schéma en (a), montrant l'équivalence normalement utilisée pour modéliser les jonctions tunnel.

énergie légèrement supérieure à E_C pour entrer dans l'îlot. Cela est dû à la discrétisation des niveaux d'énergie, qui ajoute un coût énergétique $\Delta\epsilon = \epsilon_{N+1} - \epsilon_N$ (la différence entre deux niveaux discrets consécutifs) de telle sorte que l'énergie qui sépare les niveaux d'énergie de l'îlot est en fait $E_{\text{add}} = E_C + \Delta\epsilon$.

Avant d'aller plus loin, il est important de prendre note de deux conditions rendant possible le confinement d'électrons dans une boîte quantique tel que décrit ci-haut. La première est que l'énergie due à l'agitation thermique des électrons doit être moins élevée que l'énergie d'addition, c'est-à-dire que

$$k_B T \ll E_{\text{add}}. \quad (1.1)$$

Dans le cas contraire, la température ferait entrer et sortir des électrons de l'îlot aléatoirement, ce qui enlèverait son utilité à la structure. En pratique, la température T pour laquelle cette condition est respectée est de l'ordre de quelques kelvins et moins, ce qui explique pourquoi ces dispositifs sont généralement utilisés à des températures cryogéniques. La deuxième condition est qu'il est nécessaire que les barrières tunnel soient suffisamment opaques. Cela est exprimé par l'équation

$$R_T \gg \frac{h}{e^2}, \quad (1.2)$$

c'est-à-dire que la résistance tunnel des deux jonctions doit être supérieure au quantum de résistance. Cette condition découle directement du principe d'incertitude d'Heisenberg.

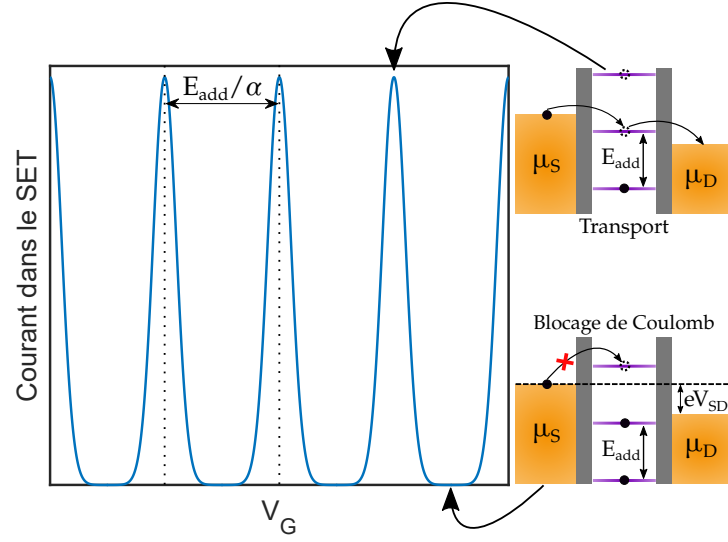


FIGURE 1.2 Illustration du phénomène de blocage de Coulomb dans une simple boîte quantique montrant la correspondance entre la courbe courant-tension du dispositif et les alignements des différents potentiels chimiques pour les points où le courant est maximal ainsi que le régime de blocage de Coulomb. α représente ici le bras de levier de la grille, défini comme $\frac{C_G}{C_\Sigma} e$.

Transport électrique

Si ces deux conditions sont respectées, il est possible d'observer du transport électrique entre la source et le drain seulement lorsque le potentiel chimique de l'îlot central se retrouve entre ceux de la source et du drain. Cela signifie que si une polarisation DC est appliquée entre la source et le drain (V_{SD}), alors il existe des tensions de grille (V_G) pour lesquelles on aura $\mu_S > \mu_I > \mu_D$ (figure 1.2, en haut), et où des électrons pourront passer de la source au drain par transitions tunnel successives. Un courant s'établit donc entre la source et le drain. Par contre, il y aura aussi des états pour lesquels $\mu_S > \mu_I < \mu_D$ (figure 1.2, en bas), et où les électrons ne pourront donc pas passer d'un côté à l'autre. Il s'agit du régime de blocage de Coulomb. Bien sûr, celui-ci n'est atteignable que si $eV_{SD} < E_{add}$, sinon il y aura toujours un niveau accessible dans la boîte.

1.1.2 Double boîte quantique

Il existe aussi des dispositifs de double boîte quantique (figure 1.3). Ceux-ci comportent généralement encore deux réservoirs, mais cette fois deux îlots connectés entre eux par une jonction tunnel et à un réservoir chacun. Comme il y a maintenant deux îlots, davantage de grilles électrostatiques sont nécessaires pour assurer un contrôle indépendant des nombres d'électrons dans chaque îlot. Dans le modèle simple à deux grilles présenté à la figure 1.3, il

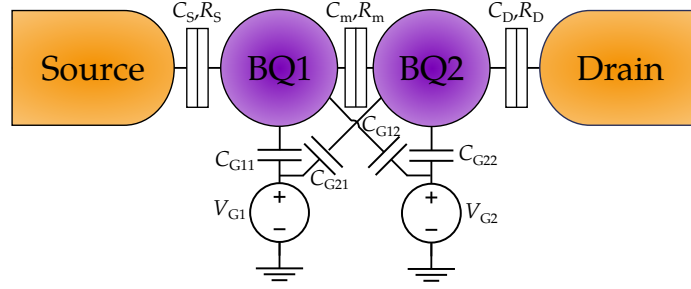


FIGURE 1.3 Représentation schématique d'une double boîte quantique. On y retrouve les mêmes éléments que dans la simple boîte, mais on a cette fois deux îlots couplés par une jonction tunnel, et deux grilles. Les grilles sont couplées aux deux boîtes, dans ce cas-ci.

faut noter que chaque grille est couplée à la fois à la boîte quantique 1 et à la boîte quantique 2. On suppose toutefois que les couplages de la forme C_{ii} sont beaucoup plus forts que ceux de la forme C_{ji} . Par exemple, on a normalement que le couplage entre la grille 1 et la BQ 1 (C_{11}) est beaucoup plus fort que le couplage entre la même grille et la BQ 2 (C_{12}) et vice-versa pour la grille 2. Bien sûr, un dispositif réel sera composé de davantage de grilles, et certaines d'entre elles pourraient être couplées également aux deux BQs. Cependant, dès qu'il existe au moins une grille par BQ pour laquelle le couplage est plus fort qu'avec son voisin, le dispositif peut être opéré facilement.

Le transport électrique dans un dispositif de double boîte quantique se produit de manière analogue au cas de la simple boîte quantique, à la différence près qu'il y a maintenant deux îlots successifs à franchir au lieu d'un seul. Par exemple, pour qu'un électron passe de la source au drain, il faudrait maintenant que $\mu_S > \mu_{I1} > \mu_{I2} > \mu_D$.

1.2 Méthodes de détection de charge modernes

Les dispositifs décrits à la section précédente sont intéressants en tant que tels, mais il leur manque encore une composante clef afin de pouvoir véritablement être utilisés comme base d'un ordinateur quantique : une manière de savoir dans quel état ils se trouvent à un instant donné. Dans cette section seront discutées les deux méthodes contemporaines de détection de charge dans une boîte quantique, soit la détection de charge par un transistor monoélectronique et la détection dispersive basée sur une grille.

1.2.1 Transistor monoélectronique

La technique de détection de charge dans une boîte quantique qui est probablement la plus répandue actuellement est basée sur l'utilisation d'un dispositif conceptuellement identique à une simple boîte quantique, que l'on nomme dans ce cas-ci un transistor monoélectronique (SET, de l'anglais *single-electron transistor*). Ce dispositif est aussi formé de deux réservoirs et d'un îlot central dans lequel il est possible de contrôler le nombre d'électrons à l'aide d'une grille électrostatique. La grande différence entre un SET et une simple BQ est que les réservoirs d'un transistor monoélectronique sont polarisés de telle sorte à ce qu'un courant le traverse à tout moment.

Pour mesurer les changements de charge dans une boîte quantique, il suffit de positionner le SET très près de celle-ci, de telle sorte à ce qu'il y ait un couplage capacitif entre leurs îlots centraux respectifs (figure 1.4a). Ensuite, le SET est polarisé de manière à ce que le courant qui le traverse corresponde à l'un des flancs d'un pic de Coulomb (figure 1.4b). En ce point, un changement de la tension appliquée sur l'îlot central du SET provoquerait un changement marqué de la valeur de courant le traversant. Or, comme il y a couplage capacitif entre les îlots, un changement de la charge dans la BQ provoque aussi un changement effectif de la tension sur le SET, et donc un changement du courant le traversant.

Cela signifie que le SET est en mesure de détecter les changements de charge, mais pas directement le spin de la charge entrante ou sortante. Il s'avère que cela n'est pas un problème. Dans le contexte de la lecture de l'état d'une boîte quantique, il est possible d'utiliser une méthode de lecture que l'on nomme la conversion spin-charge [11]. Cela repose sur l'utilisation d'un champ magnétique assez intense pour séparer les états énergétiques des électrons de spin up et de spin down par effet Zeeman. Ensuite, la BQ est polarisée de telle sorte que seul un électron de spin down puisse sortir par effet tunnel. Si après un certain temps le courant dans le SET change, c'est que le spin de l'électron était down. Sinon, c'est qu'il était up et qu'il n'a pas pu sortir de la BQ car cela n'était pas énergétiquement favorable. Il s'agit d'une méthode où les fidélités de lecture peuvent être de plus de 90% dans un dispositif en silicium [12], et pourraient être encore améliorées grâce à l'utilisation d'un amplificateur cryogénique [26].

Il existe cependant une raison pour laquelle une nouvelle méthode de détection est requise. En fait, le problème avec les SETs est lié à leur taille et au fait qu'ils doivent être près des BQs qu'ils mesurent. Ils sont toujours au moins aussi (et souvent plus) grands que les boîtes quantiques elles-mêmes. Cela est problématique pour l'extensibilité des dispositifs, car il ne serait peut-être pas physiquement possible de positionner des SETs de manière à pouvoir

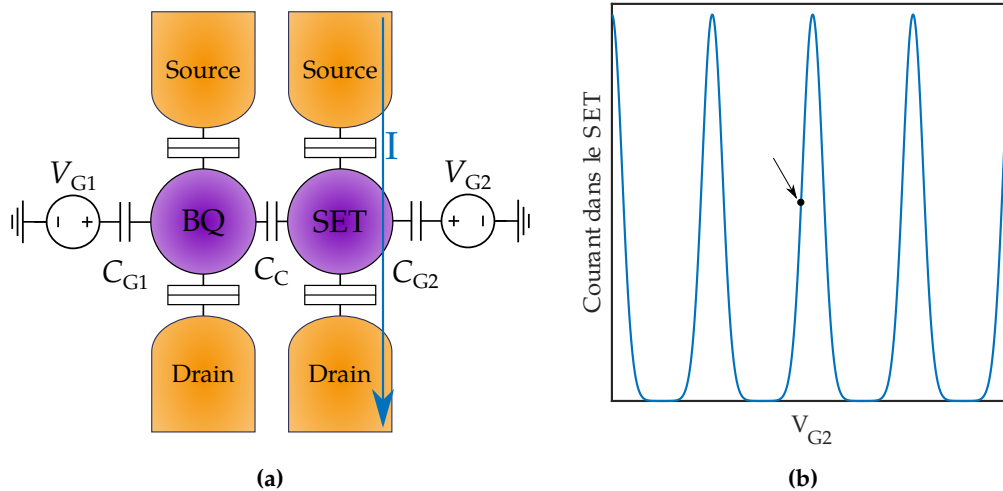


FIGURE 1.4 (a) Représentation schématique d'un transistor monoélectronique couplé capacitivement à une simple boîte quantique. Le SET est une boîte quantique polarisée de telle sorte à ce qu'un courant (I) la traverse en tout temps. (b) Diagramme du blocage de Coulomb dans un SET montrant un point d'opération optimal. En ce point, un changement de V_{G2} cause un changement maximal du courant.

effectuer la lecture de chacune des BQs lorsque leur nombre sera élevé. Une alternative doit donc être développée [15, 16].

1.2.2 Détection dispersive basée sur une grille

Pour améliorer l'extensibilité des dispositifs, une alternative suggérée est celle de la détection dispersive basée sur une grille [21, 23, 24, 27]. Cette technique a été inspirée par la lecture dispersive effectuée pour les qubits supraconducteurs [19, 20], où l'interaction entre un qubit et un résonateur LC est utilisée pour obtenir de l'information sur l'état de ce premier. Dans le cas d'une boîte quantique, un résonateur LC est connecté directement à une grille électrostatique du dispositif dont on veut lire l'état, et un signal à sa fréquence de résonance y est injecté. Le résonateur est formé d'une inductance finie et de la capacité parasite à la masse de la grille à laquelle il est connecté (figure 1.5). Un té de biais (*bias tee*, en anglais) placé avant l'inductance permet d'appliquer une tension DC sur la grille en plus du signal RF, ce qui permet de continuer d'utiliser la grille comme si le résonateur n'était pas présent.

Le principe de détection est basé sur le fait que la capacité d'une grille électrostatique change selon l'état de la boîte quantique. Cela se produit car la capacité totale d'une grille

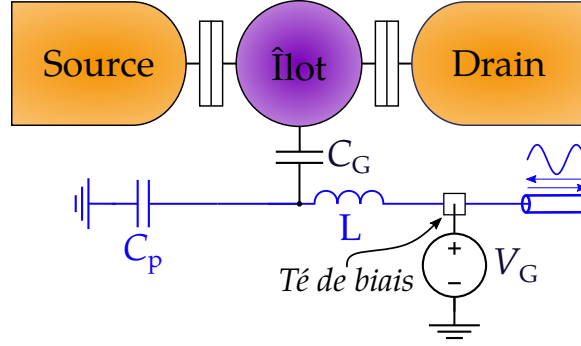


FIGURE 1.5 Représentation du principe de la lecture dispersive basée sur une grille avec une simple boîte quantique. Un circuit résonant (bleu) formé de la capacité parasite de la grille (C_P) ainsi que d'une inductance finie (L) est connecté à une grille. Un signal RF est envoyé sur ce résonateur et la partie reflétée est mesurée afin d'obtenir des informations sur l'état de la BQ. Un té de biais (*bias tee*) est typiquement utilisé pour combiner l'excitation RF et la composante DC de la tension de grille.

est en fait composée de trois capacités : la capacité géométrique, la capacité quantique et la capacité tunnel. La première est définie simplement par des considérations géométriques, comme la capacité d'un condensateur à plaques parallèles, alors que les deux autres peuvent changer lors des transitions de charge de la BQ pour des raisons qui seront explorées à la section 1.3. Comme le résonateur est partiellement constitué d'une de ces grilles, il sera sensible aux changements de capacité. Pour comprendre pourquoi, il faut savoir que, comme la fréquence de résonance du résonateur est définie comme étant

$$f_r = \frac{1}{2\pi\sqrt{LC_p}}, \quad (1.3)$$

celle-ci sera modifiée par le changement de capacité. De manière équivalente, on peut voir ce changement de la fréquence de résonance comme étant un changement de l'impédance du circuit LC, qui est définie comme

$$Z_{LC}(\omega) = \frac{(\omega^2 LC_r - 1)j}{\omega C_r}, \quad (1.4)$$

où $\omega = 2\pi f$ est la pulsation du signal entrant dans le circuit et où on utilise la convention $j = \sqrt{-1}$. Or, on sait aussi que, pour une ligne électrique d'impédance Z_S étant terminée par une impédance de fin Z_L , on a un coefficient de réflexion défini comme étant

$$\Gamma = \frac{Z_L - Z_S}{Z_L + Z_S}, \quad (1.5)$$

représentant l'amplitude du signal reflété par rapport au signal incident. On constate donc

qu'un changement de la capacité de la grille affectera au final le coefficient de réflexion du circuit. Comme Z_L et Z_S sont des impédances complexes, cela signifie aussi qu'il y aura, suite au changement de la capacité, un changement de phase $\Delta\phi$ du signal réfléchi. En fait, il est possible de montrer [21] que

$$\Delta\phi \approx \frac{\Delta C}{C_P} Q, \quad (1.6)$$

où Q est le facteur de qualité du résonateur et ΔC est le changement de la capacité de la grille. Lorsque cette technique est utilisée, ce sont ces changements de phase qui sont mesurés. De cette manière, il a été possible d'atteindre des sensibilités de détection permettant de résoudre la charge d'un électron unique en 4 ms, ce qui est bien étant donné qu'il s'agit d'une méthode émergente.

Cette technique a deux avantages par rapport à l'utilisation d'un transistor monoélectronique. Le premier est le fait qu'il n'y a aucun dispositif à ajouter directement à proximité des boîtes quantiques. Cela facilite alors énormément la conception de dispositifs extensibles. Le deuxième est le fait que ce type de mesure peut être multiplexée [15], c'est-à-dire qu'un circuit de détection pourrait être partagé par plusieurs BQs, ce qui n'est pas le cas d'un SET et qui aurait comme bénéfice de nécessiter moins de connexions à des appareils externes.

Il y a aussi cependant des inconvénients associés à cette méthode. Un de ceux-ci est le fait que les fréquences auxquelles ces systèmes fonctionnent sont relativement élevées (100 MHz à 1 GHz). Travailler avec de telles fréquences nécessite de l'équipement spécialisé et coûteux, et les dispositifs doivent être conçus en prenant en compte les difficultés associées aux radiofréquences. Un deuxième inconvénient est le fait que cette technique n'est sensible qu'à des événements se produisant plus rapidement que la fréquence d'excitation utilisée [21, 28]. Cela impose des contraintes importantes sur l'opération et la conception des dispositifs. Finalement, un dernier inconvénient est que le circuit nécessite l'usage d'une inductance. Le problème avec les inductances est qu'elles ne peuvent pas être facilement fabriquées sur une puce de silicium ou de GaAs, ce qui, pour le moment, force l'utilisation d'une puce secondaire en appoint. Idéalement, on voudrait que les BQs ainsi que les dispositifs de lecture puissent être intégrés sur la même puce. Ces précédents points motivent donc le fait de se mettre à la recherche d'une autre méthode.

1.3 Cause des changements de capacité

On peut maintenant se demander ce qui explique les changements de la capacité des grilles que l'on peut mesurer à l'aide de la technique dispersive, et s'il serait possible d'exploiter autrement un tel phénomène. Dans cette section sera présentée une explication sommaire de ce phénomène dans une double boîte quantique, puis dans un transistor monoélectronique. Dans le cas de la double boîte quantique, on s'arrêtera à l'expression générale donnant une certaine intuition quant à ce qu'il se passe au niveau des charges. Cependant, dans le cas du SET (structure sur laquelle les expériences de ce projet seront effectuées), on ira jusqu'à estimer des valeurs plausibles de changements de capacité observables.

1.3.1 Dans une double boîte quantique

Le premier cas pertinent à explorer est celui de la double boîte quantique (figure 1.3), sur lequel on se basera pour analyser le transistor monoélectronique. La raison pour laquelle on s'attarde à ce cas en premier est qu'il s'agit en général de ce qui est étudié expérimentalement [21, 23, 27], et qu'une analyse complète a déjà été réalisée dans [28]. On suit ici ce développement de près afin de pouvoir s'en inspirer ensuite lors de l'analyse du SET.

L'élément clé qu'il faut saisir est que de définir la capacité d'un objet comme étant $C = Q/V$, où Q est la charge accumulée par l'objet pour une tension appliquée V , n'est pas strictement valide dans tous les cas. En fait, de manière générale, la capacité d'un objet devrait être définie comme étant

$$C = \frac{\partial Q}{\partial V}. \quad (1.7)$$

Cette définition de la capacité, que l'on nomme capacité différentielle, est celle qu'il faut appliquer pour connaître la capacité de toute structure où la charge n'évolue pas linéairement avec la tension appliquée, comme c'est le cas pour tout dispositif monoélectronique. Il est possible d'appliquer cette définition au cas d'une double boîte quantique. Imaginons que l'on envoie un signal sur la grille 1 de la double boîte quantique dessinée à la figure 1.3 pour effectuer une détection dispersive de son état. Comme cette grille est couplée simultanément aux deux BQs, sa capacité telle que définie par l'équation 1.7 sera

$$C = \frac{\partial(Q_1 + Q_2)}{\partial V_{G1}}. \quad (1.8)$$

Il faut donc disposer d'une expression pour $Q_1 + Q_2$, la charge totale dans la 2BQ, en

fonction de la tension V_{G1} . Cela est accompli par des considérations électrostatiques [19]. On obtient que, pour le dispositif de la figure 1.3, on aurait [28]

$$Q_1 + Q_2 = e(\alpha_1 \langle n_1 \rangle + \alpha_2 \langle n_2 \rangle) + (\alpha_1 C_S + \alpha_2 C_D) V_G. \quad (1.9)$$

Dans cette dernière équation, on définit que $\alpha_i = C_{i1}/C_{\Sigma i}$, le couplage relatif entre la grille 1 et chaque BQ par rapport à la capacité totale de la BQ, elles-mêmes définies comme étant $C_{\Sigma 1} = C_S + C_{G1} + C_m$ et $C_{\Sigma 2} = C_D + C_{G2} + C_m$. On suppose ici que $C_m \ll C_{\Sigma i}$, ce qui est généralement vrai. On définit finalement $\langle n_i \rangle$ comme étant le nombre moyen d'électrons dans la BQ i . Contrairement à n_i , le nombre d'électrons dans la boîte quantique i , $\langle n_i \rangle$ n'est pas nécessairement entier. Si on combine les équations 1.8 et 1.9, on obtient que

$$C = e \left(\alpha_1 \frac{\partial \langle n_1 \rangle}{\partial V_G} + \alpha_2 \frac{\partial \langle n_2 \rangle}{\partial V_G} \right) + \alpha_1 C_S + \alpha_2 C_D. \quad (1.10)$$

Dans cette expression, le terme $\alpha_1 C_S + \alpha_2 C_D$ n'est nul autre que la capacité équivalente de la double BQ vue à partir de la grille si l'on suppose que $C_m \ll C_{\Sigma i}$. C'est ce que l'on nomme la capacité géométrique, et elle ne change pas selon l'état de la BQ. Cela n'est pas le cas du premier terme, qui dépend explicitement de changements de la charge moyenne dans les BQs en fonction du voltage de grille. On nomme ce terme la capacité paramétrique (C_{param}). Pour mieux comprendre celui-ci, il faut passer par le hamiltonien de la double boîte quantique, un travail qui a déjà été effectué précédemment pour les qubits de charge ainsi que les qubits de spin singulet-triplet [28]. Dans les deux cas, le résultat est similaire. Par exemple, dans le cas du qubit de charge, il est obtenu que

$$C_{\text{param}} = C_0 \left(\frac{\Delta_c^3}{\Delta E^3} \chi_c + \frac{\epsilon \Delta_c}{\Delta E} \frac{\partial \chi_c}{\partial \epsilon} \right), \quad (1.11)$$

où Δ_c est le couplage tunnel entre les deux BQs, ΔE est la différence d'énergie entre les deux bandes d'énergie du qubit de charge, χ_c est la différence de probabilité entre l'occupation de l'état excité et l'occupation de l'état fondamental et ϵ est la différence entre l'énergie des deux boîtes (le *detuning*). Ce qu'il est intéressant de remarquer est que l'équation 1.11 démontre qu'il existe en fait deux contributions à la capacité paramétrique. Le premier terme correspond à la capacité *quantique*, qui apparaît pour des structures où les bandes d'énergie sont courbées, et le second correspond à la capacité *tunnel*, qui apparaît lorsque des électrons passent d'une BQ à l'autre ou d'un réservoir à une BQ aussi ou plus rapidement que la fréquence d'excitation. Ces deux dernières contributions à la capacité sont donc ce qui est mesuré par la technique dispersive (section 1.2.2). Il est possible de développer encore d'avantage l'équation 1.11 en utilisant les équations maîtresses du

système pour définir χ_c , mais d'aller dans un tel niveau de détail n'est pas utile pour l'étude actuelle. Le lecteur intéressé est toutefois invité à consulter la référence [28] pour la suite du développement.

1.3.2 Dans un transistor monoélectronique

Il est possible de se baser sur le raisonnement présenté à la sous-section précédente dans le but d'estimer la valeur des changements auxquels on devrait s'attendre dans le cas d'une simple boîte quantique ou d'un transistor monoélectronique (figure 1.1). En suivant les mêmes premières étapes du calcul (voir l'annexe A.1), on trouve que la capacité différentielle est

$$C_{\text{diff}} = -\alpha e \frac{\partial \langle n \rangle}{\partial V_G} + \alpha (C_S + C_D), \quad (1.12)$$

où $\alpha = C_G / C_\Sigma$ est le bras de levier de la grille du SET et $C_\Sigma = C_G + C_S + C_D$. De manière analogue à l'équation 1.10, le deuxième terme de cette équation n'est nul autre que la capacité équivalente du SET vue de la grille. La capacité paramétrique correspond ainsi au premier terme. Il y a alors deux approches possibles à suivre pour déterminer la valeur de C_{param} . La première et la plus simple est d'utiliser les équations de base du SET ainsi que la distribution de Boltzmann pour obtenir une estimation de $\langle n \rangle$. La deuxième est d'utiliser un modèle basé sur les équations maîtresses pour simuler le comportement monoélectronique du dispositif [29, 30]. Dans le cadre du projet, les deux méthodes ont été explorées, mais c'est surtout la première qui a été utile, donc c'est celle-ci qui sera présentée ici.

On sait que l'énergie requise pour ajouter ou retirer un électron à l'îlot d'un SET est $E_C = e^2 / 2C_\Sigma$. On a donc que l'énergie totale d'un îlot contenant N électrons sera [31]

$$W(N, n_x) = E_C (N - n_x)^2, \quad (1.13)$$

où n_x est un terme qui représente l'effet des différents voltages appliqués en les transformant en une charge effective comme suit :

$$en_x = C_D V_D + C_S V_s + C_G V_G. \quad (1.14)$$

Ce terme représente en fait la manière de contrôler le nombre d'électrons dans l'îlot de manière électrostatique. En effet, lorsque $W(N, n_x) < W(N - 1, n_x)$, c'est-à-dire aux croisements entre les différentes paraboles de la figure 1.6a, la charge de l'îlot augmente de e . Le changement peut même se produire pour $W(N, n_x) \gtrsim W(N - 1, n_x)$ si les excitations dues à l'énergie thermique ($k_B T$) sont suffisantes pour fournir suffisamment d'énergie à

l'électron. Il est possible de quantifier cet effet en ayant recours à la distribution de Boltzmann. On aura que

$$\langle N(n_x) \rangle = \frac{1}{Z_W} \sum_N N \exp \left(\frac{-W(N, n_x)}{k_B T} \right), \quad (1.15)$$

où Z_W est la fonction de partition du système, donnée par

$$Z_W = \sum_N \exp \left(\frac{-W(N, n_x)}{k_B T} \right). \quad (1.16)$$

Il est possible d'évaluer l'expression 1.15 à l'aide de MATHEMATICA en sommant sur un nombre suffisamment élevé de valeurs de N pour obtenir la dépendance de $\langle N \rangle$ en fonction de n_x à différentes températures (figure 1.6b). À partir de cette courbe, il est possible d'évaluer la capacité paramétrique définie par l'équation 1.12. Il suffit de dériver par rapport à n_x , puis d'appliquer le facteur d'échelle entre n_x et V_G (eq. 1.14) en supposant que V_s et V_D ont été gardés constants pour obtenir que

$$C_{\text{param}} = -\alpha e \frac{\partial N(n_x)}{\partial (n_x e / C_G)} = \alpha C_G \left(\frac{\partial N(n_x)}{\partial n_x} \right), \quad (1.17)$$

ou encore que

$$C_{\text{param}} = \frac{2E_C C_G^2}{e^2} \left(\frac{\partial N(n_x)}{\partial n_x} \right). \quad (1.18)$$

Ainsi, connaissant l'énergie de charge de l'îlot ainsi que la valeur de couplage capacitif entre la grille et ce-dernier, il est possible d'estimer la valeur de capacité paramétrique qui devrait être mesurée pour une température donnée. Les courbes de la figure 1.6c montrent la valeur de $\frac{\partial N(n_x)}{\partial n_x}$ aux mêmes températures qu'à la figure 1.6b. Il y est facile de remarquer que la température est un paramètre critique pour l'observation de la capacité paramétrique, et qu'ainsi les expériences auront avantage à être effectuées à la plus basse température possible.

Les deux équations précédentes indiquent aussi que le phénomène est plus facilement observable à partir de la grille la mieux couplée du dispositif. Par exemple, pour un transistor monoélectronique ayant une énergie de charge de 1 meV, la capacité paramétrique vue de la grille d'accumulation (couplage de l'ordre de 40 aF) à 200 mK serait d'environ 185 aF. Si par contre une des grilles de déplétion était utilisée (couplage de l'ordre de 5aF), on aurait plutôt que la capacité paramétrique serait de l'ordre de 3 aF. Cela donne donc de l'information précieuse sur la configuration à utiliser pour les expériences.

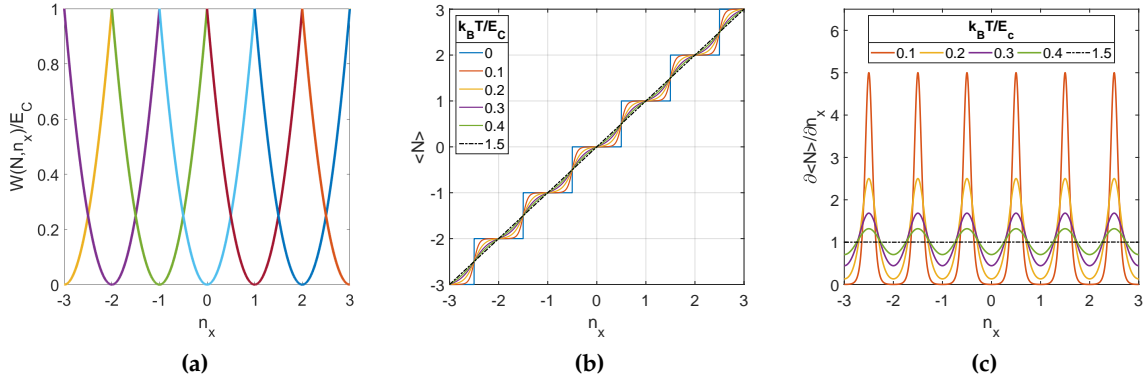


FIGURE 1.6 (a), Énergies de l'îlot pour différentes valeurs de charges en excès sur celui-ci. (b), Charge moyenne dans l'îlot pour différentes valeurs de n_x et de température. (c), Dérivées des courbes en (b), celles-ci sont proportionnelles à la capacité paramétrique de l'îlot. La dérivée de la courbe $k_B T/E_C = 0$ n'est pas affichée, mais correspondrait à des deltas de Dirac aux transitions. La courbe à $k_B T/E_C = 1.5$ représente la limite classique, où les excitations thermiques empêchent la formation de la BQ.

1.4 Pont capacitif à deux sources

Maintenant que l'on sait quelles sont les causes des changements de capacité au sein des dispositifs monoélectroniques, on peut se demander comment il est possible de les mesurer. En fait, la technique envisagée repose sur un circuit plutôt simple : le pont capacitif. Il s'agit ici d'une version à deux sources, et non de l'habituel pont de Wheatstone. Le fait de devoir disposer d'une impédance variable pour le faire fonctionner rendrait ce dernier difficile à utiliser à températures cryogéniques, alors que le circuit à deux sources a déjà été utilisé à ces températures dans le passé [25, 32, 33]. Celui-ci a même déjà montré suffisamment de sensibilité pour détecter des effets de charge monoélectroniques dans une capacité tunnel [25], un précurseur des boîtes quantiques, et a déjà été présenté dans le cadre d'un brevet d'architecture extensible pour les boîtes quantiques [34] ce qui est très encourageant pour l'application envisagée.

1.4.1 Description du circuit

Le pont capacitif à deux sources (figure 1.7) est, à la base, un circuit électrique servant à mesurer la capacité d'un condensateur de valeur inconnue. Il est composé de deux condensateurs : C_r , de valeur connue préalablement, et C_s , de valeur à mesurer. À ces deux condensateurs sont connectées deux sources de tension oscillantes de même fréquence,

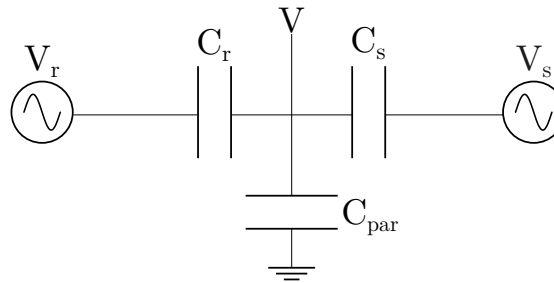


FIGURE 1.7 Pont capacitif à deux sources de base

mais déphasées d'un demi-cycle (V_r et V_s). Finalement, à cela s'ajoute une capacité parasite (C_{par}) entre le point central du pont et la mise à la terre.

Dans ce circuit, des courants oscillants circulent dans tous les condensateurs. Cela cause l'apparition d'une tension V au nœud central du pont. La valeur de cette dernière dépend à la fois des trois capacités et des deux tensions oscillantes. Tel que démontré à l'annexe B.1, il est possible de déterminer, à l'aide de la loi des noeuds de Kirchoff que

$$V = \frac{C_r V_r + C_s V_s}{C_\Sigma}, \quad (1.19)$$

où on a défini la capacité totale comme étant $C_\Sigma = C_r + C_s + C_{par}$. Il est ici important de noter que V , V_r et V_s devraient être représentés par des nombres complexes, car il s'agit de tensions AC étant décrites à la fois par une amplitude et une phase. Si le déphasage entre V_r et V_s est bien d'un demi-cycle, il est toutefois possible de réécrire l'équation 1.19 comme étant

$$|V| = \frac{|C_r V_r| - C_s |V_s|}{C_\Sigma}. \quad (1.20)$$

La phase du signal V serait alors la phase de V_r si $C_r |V_r| > C_s |V_s|$ ou la phase de V_s si $C_s |V_s| > C_r |V_r|$. Cela ne vaut cependant que si le déphasage entre V_r et V_s est exactement de 180° . Dans les autres cas, il faut absolument avoir recours à la forme complexe de l'équation pour obtenir les équations pour l'amplitude et la phase (voir annexe B.2).

1.4.2 Utilisation dans le but de mesurer la capacité d'un condensateur inconnu

On peut maintenant utiliser l'équation 1.20 pour comprendre comment se servir du pont capacitif pour mesurer la capacité d'un condensateur inconnu. En fait, on peut remarquer que si $\frac{|V_s|}{|V_r|} = \frac{C_r}{C_s}$ on aurait que $|V| = 0$. C'est sur cette condition que le fonctionnement du circuit est basé. En effet, en trouvant le ratio de tensions qui annule la tension centrale V , on

peut calculer la valeur de C_s , le condensateur à capacité inconnue à l'aide de l'équation

$$C_s = C_r \left. \frac{|V_s|}{|V_r|} \right|_{V=0}. \quad (1.21)$$

On nomme la quantité $\left. \frac{|V_s|}{|V_r|} \right|_{V=0}$ le ratio ou point d'équilibre du pont. Afin de le déterminer précisément, il est obligatoire que les signaux parvenant aux condensateurs aient des phases bien calibrées. Une simulation du système peut aider à comprendre pourquoi. Soit un pont avec un ratio $\frac{C_s}{C_r} = 2$, où la phase de V_r est de 0° et la phase de V_s est de 180° . L'amplitude au point central du pont ($|V|$) décrirait une courbe en forme de V en fonction du ratio des tensions et atteindrait bien 0 V au point d'équilibre (fig. 1.8a). Le changement de la phase de V entre 0° et 180° se ferait aussi instantanément en ce point. Par contre, si, pour le même pont, la phase de V_s était de 175° (fig. 1.8b), les deux tensions se retrouveraient décalées de manière à ce qu'il ne soit plus possible d'atteindre $|V| = 0$. La transition entre les deux phases se ferait aussi de manière moins abrupte. Dans ce cas particulier, cela n'empêcherait pas l'identification approximative du bon ratio, car on pourrait estimer que le ratio d'équilibre est près de la valeur pour laquelle on observe le minimum. Cependant, plus l'erreur de phase est grande, moins le résultat sera fiable ; cela peut même mener à des décalages du ratio pour lequel on trouve le minimum de la courbe si le déphasage est trop éloigné de 180° . Une attention particulière doit donc être portée au déphasage entre les deux sources. C'est surtout le cas dans le laboratoire, où, par exemple, les câbles utilisés pourraient induire un déphasage entre les sources de tension et les condensateurs.

Notons aussi que le terme C_{par} est totalement absent de l'équation 1.21. Cela est en fait un des points forts du pont capacitif à deux sources : il n'est pas nécessaire de connaître la valeur de la capacité parasite afin d'être en mesure de déterminer la capacité du condensateur inconnu. Ceci ne veut cependant pas dire que le facteur C_{par} n'est pas important dans ce contexte. Si l'on se réfère à l'équation 1.20 et à la définition de C_Σ , on voit que si C_{par} devenait trop grand par rapport à C_r et C_s , il pourrait être difficile d'obtenir des tensions mesurables au centre du pont. Or, si tel était le cas, il serait difficile, voire impossible, de tracer les courbes présentées à la figure 1.8a permettant de définir le ratio d'équilibrage. Le pont ne serait pas utile dans un tel cas et il faut donc tout de même faire un effort de minimisation de C_{par} .

1.4.3 Utilisation dans le but de détecter un changement de capacité

Il y a une nuance entre le cas d'utilisation décrit à la section précédente et ce que l'on veut réellement réaliser à l'aide du pont capacitif dans le cadre du projet. Dans notre cas, la

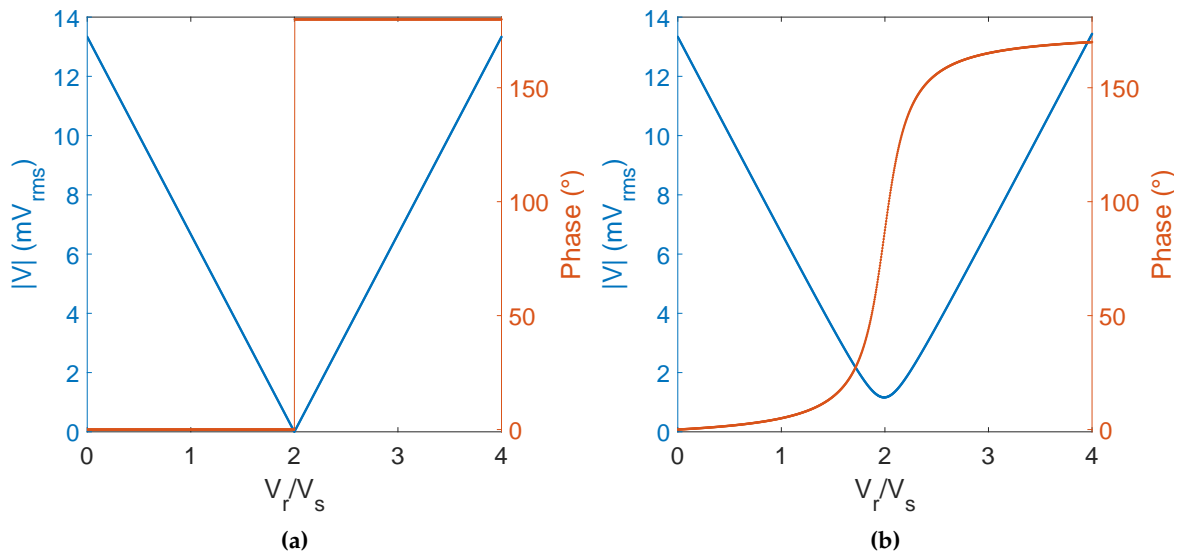


FIGURE 1.8 Comparaison théorique entre (a) un pont avec un déphasage d'exactement 180° entre les sources et (b) le même pont avec un déphasage de 175° entre les sources. Les valeurs de capacité utilisées sont $C_r = 1 \text{ aF}$, $C_s = 2 \text{ aF}$ et $C_{\text{par}} = 0 \text{ aF}$. On pose de plus que $V_s = 20 \text{ mV}$. Pour les deux graphiques, la courbe en bleu représente l'amplitude de la tension au centre du pont, et la courbe en orange sa phase.

valeur absolue de la capacité à mesurer importe peu, c'est plutôt un changement de cette valeur que l'on veut être en mesure de détecter. La stratégie que l'on va utiliser est la suivante. Premièrement, le pont va être équilibré, c'est-à-dire que le ratio des tensions à appliquer pour annuler celle au point central sera déterminé. Ensuite, si la tension V est mesurée continuellement et qu'un changement ΔC_s dans la valeur de C_s survenait, alors V changerait d'une quantité ΔV . Il est possible de calculer la valeur de ce changement. À partir de l'équation 1.19, on peut écrire qu'initialement, on a

$$0 = C_\Sigma V = C_r V_r + C_s V_s. \quad (1.22)$$

S'il survenait alors un changement de la valeur de C_s , on aurait que

$$(C_\Sigma + \Delta C_s)(V + \Delta V) = C_r V_r + (C_s + \Delta C_s) V_s, \quad (1.23)$$

mais comme le pont était initialement équilibré, on peut en fait écrire que

$$\begin{aligned} (C_\Sigma + \Delta C_s) \Delta V &= \Delta C_s V_s \\ \rightarrow V + \Delta V &= \frac{\Delta C_s V_s}{C_\Sigma + \Delta C_s}. \end{aligned} \quad (1.24)$$

L'équation 1.24 démontre que, contrairement au cas où l'on veut mesurer la capacité d'un condensateur, ici, la capacité totale est de la première importance. Comme ΔV y est inversement proportionnel (figure 1.9b), cela signifie qu'il faudra prendre particulièrement garde à la minimisation de la capacité parasite lors de l'implémentation réelle du circuit. Par exemple, si l'on s'attend, comme mentionné à la section 1.3, à un changement de capacité de l'ordre de 10 aF et que l'on ne puisse pas appliquer une tension oscillante supérieure à 1 mV sur le dispositif (espacement typique entre deux pics de blocage de Coulomb), il faudra que C_Σ soit d'au plus 10 pF pour que ΔV soit de l'ordre de 10 nV. Cette dernière tension représentant la limite de précision typique des amplificateurs lock-ins, $C_\Sigma = 10$ pF donne un ordre de grandeur maximal à viser.

Revenons maintenant à l'équation 1.24. Dans le cadre des expériences, il sera en fait fort utile de pouvoir dire à quelle valeur de ΔC_s correspond un ΔV donné. On peut ainsi réécrire l'équation comme étant

$$\Delta C_s = \frac{C_\Sigma \Delta V}{V_s - \Delta V}. \quad (1.25)$$

Un fait important soulevé par cette équation est que, dans ce cas-ci, si l'on veut être en mesure de déterminer la valeur du changement ΔC_s , il faut avoir au préalable mesuré la capacité totale du circuit.

Un dernier élément qu'il est important de noter est que la deuxième partie de l'équation 1.24 est en fait vraie peu importe que le pont ait été initialement à son point d'équilibre ou non. Cependant, il y a bien un avantage à équilibrer le pont avant de faire la mesure. En fait, il faut comprendre que, sur un appareil de mesure comme un amplificateur lock-in, plus l'échelle de mesure sélectionnée a une limite élevée, moins la précision de la mesure est élevée. Le ratio entre la plus grande et la plus petite valeur mesurable est ce que l'on appelle la gamme dynamique. Par exemple, si le changement à mesurer était de 10 nV, mais que la tension initiale au centre du pont était de 1 mV, l'appareil de mesure n'aurait pas la précision nécessaire pour le détecter. Cependant, si le pont était préalablement équilibré, la tension initiale au centre du pont serait nulle. La plus petite échelle de l'appareil pourrait alors être sélectionnée et le même changement de 10 nV deviendrait détectable.

1.4.4 Méthode d'équilibrage du pont

Les deux sections précédentes effectuaient leur mesure en se basant sur l'équilibrage du pont, c'est-à-dire le fait de trouver les bons paramètres d'amplitude et de phase des sources pour que le voltage au centre de celui-ci soit nul. Sur papier, cela paraît bien simple, il suffit

de régler le déphasage entre les deux sources à 180° et de balayer l'amplitude relative des deux phases jusqu'à trouver le point optimal. Or, comme il l'a été brièvement mentionné à la section 1.4.2, au laboratoire cela est un peu plus complexe. Cela est le cas car il y aura des déphasages entre les sources et les condensateurs, dus par exemple à l'inductance du câble utilisé ou simplement à sa longueur. Comme ces déphasages peuvent très bien ne pas être exactement les mêmes pour les deux signaux, il faut disposer d'une méthode permettant d'ajuster à la fois les amplitudes et les phases des signaux.

Il en existe en fait une plutôt simple, qu'il serait aussi relativement facile d'automatiser. La première étape est d'allumer une seule source et d'ajuster sa phase de manière à ce que celle du signal détecté au centre du pont soit de 0° . On fait ensuite la même chose avec l'autre source, mais la phase au centre est ajustée à 180° . Ensuite, les deux sources peuvent être allumées simultanément, et le ratio d'amplitude entre les deux est balayé. Si l'ajustement est déjà bon, une courbe comme celle de la figure 1.8a sera obtenue. Cependant, une courbe semblable à celle présentée à la figure 1.8b est plus souvent obtenue, et ce simplement car l'ajustement des phases lors de la première étape peut être quelque peu approximatif. Si tel est le cas, il suffit d'ajuster les amplitudes des sources de telle sorte à se trouver au minimum de la courbe, et de varier légèrement l'une des deux phases. Il sera ainsi possible de trouver un point pour lequel l'amplitude au centre sera nulle, et le pont sera alors balancé. Des techniques utilisant des algorithmes d'optimisation plus sophistiqués pourraient aussi être facilement mis en œuvre.

1.4.5 Méthode de mesure de la capacité totale du pont

On a explicité le fait qu'il faut connaître la capacité totale du pont précisément pour pouvoir convertir les données en tension en valeurs de capacité. Cela requiert donc une manière de mesurer cette quantité. L'idéal serait de disposer d'une méthode qui se baserait directement sur des courbes traçables avec le pont. On serait alors certain de comptabiliser correctement chaque contribution. Il s'avère qu'une telle technique existe. En fait, en s'inspirant de la technique de mesure d'un changement de capacité décrite à la section 1.4.3, on peut plutôt imaginer associer un changement ΔV à un changement de l'amplitude V_r appliquée sur le condensateur de référence. On obtiendrait alors une équation très similaire à l'équation 1.23, soit

$$C_\Sigma(V + \Delta V) = C_r(V_r + \Delta V_r) + C_s V_s, \quad (1.26)$$

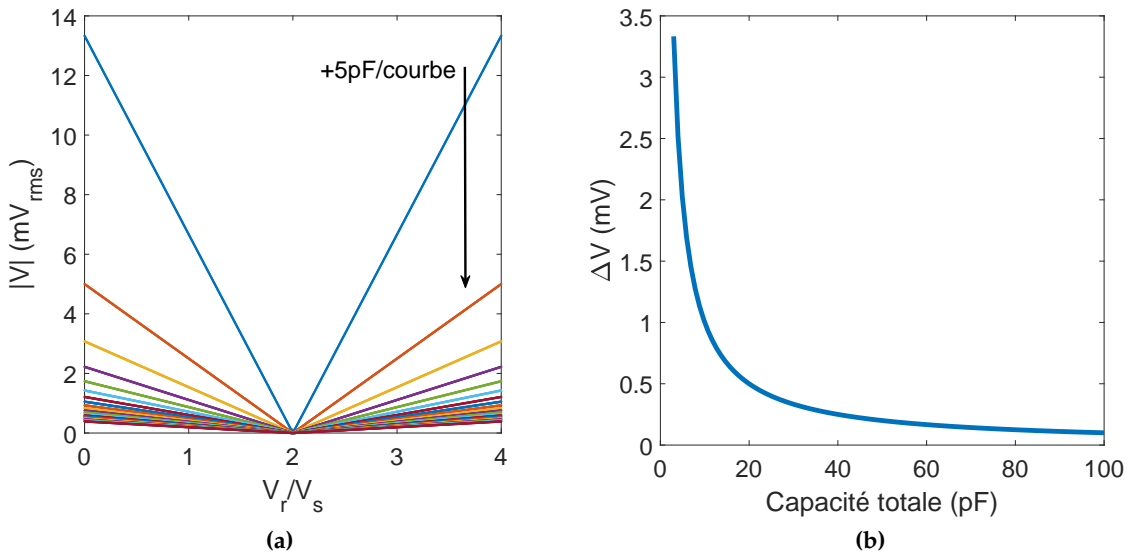


FIGURE 1.9 Simulation de l'effet d'une augmentation de la capacité totale sur le pont capacitif. On utilise encore ici $C_r = 1 \text{ aF}$, $C_s = 2 \text{ aF}$. La valeur de V_s est fixée à 20 mV . (a) est l'effet de la capacité totale (de 0 à 100 pF par pas de 5 pF) sur les courbes d'équilibrage. (b) représente la valeur de ΔV obtenue au point central pour un ΔC_s de 0.5 pF pour différentes valeurs de C_Σ .

que l'on peut réécrire à l'aide de l'équation 1.19 comme étant

$$\begin{aligned} C_\Sigma \Delta V &= C_r \Delta V_r \\ \rightarrow C_T &= \frac{\Delta V_r}{\Delta V} C_r. \end{aligned} \quad (1.27)$$

Cela signifie que, pour mesurer la capacité totale du circuit, il n'est nécessaire que de tracer une courbe d'équilibrage en gardant V_s constant et en faisant changer la valeur de V_r . Si la valeur de C_r est connue, ce qui est préalable au fonctionnement du circuit, alors on peut déduire C_Σ de l'inverse de la pente de la courbe d'équilibrage obtenue. Cette dépendance entre C_Σ et la pente des courbes d'équilibrage est illustrée à la figure 1.9a. Cette figure peut aussi aider à comprendre l'équation 1.24. En effet, on remarque que lorsque la capacité totale du pont augmente et que les autres paramètres ne changent pas, la pente diminue rapidement. Or, le changement ΔV que l'on veut mesurer est causé par un décalage de la courbe sur l'axe des abscisses. Il est donc normal qu'une pente plus faible entraîne un ΔV plus faible.

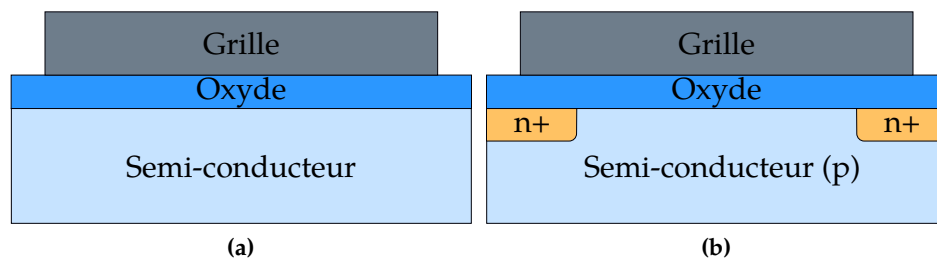


FIGURE 1.10 (a) un condensateur MOS et (b) un transistor MOS à effet de champ de type p.

1.5 Profilage capacité-tension d'une hétérostructure métal-oxyde-semiconducteur

Outre l'application suggérée pour la détection de charges électriques uniques, le pont capacitif à deux sources pourrait aussi avoir des applications intéressantes pour la caractérisation capacité-tension (C-V) de dispositifs électroniques cryogéniques. Dans cette section seront d'abord décrites les structures métal-oxyde-semi-conducteur (MOS), sur lesquelles ces mesures sont habituellement effectuées. Ensuite, le principe du profilage capacité-tension sera expliqué, et on verra quel est l'intérêt de disposer d'une méthode de caractérisation C-V à température cryogénique.

1.5.1 Hétérostructures métal-oxyde-semi-conducteur

Une hétérostructure MOS (figure 1.10) est constituée d'un substrat semi-conducteur dopé (typiquement du silicium) sur lequel est déposée une grille électrostatique séparée du substrat par une mince couche d'oxyde servant d'isolant électrique (typiquement du dioxyde de silicium). La grille était initialement fabriquée en métal, d'où le nom MOS, mais de nos jours les grilles sont souvent fabriquées en silicium polycristallin fortement dopé, ce qui simplifie les procédés de fabrication tout en assurant la conductivité de la grille. La structure telle que décrite (figure 1.10a) forme ce que l'on nomme un condensateur MOS. Comme l'oxyde est un matériau diélectrique ($\epsilon_r = 3.9$ pour du SiO_2), le dispositif peut être utilisé comme un condensateur pour lequel les deux bornes seraient la grille et le substrat lui-même. Il s'agit d'un dispositif qu'il est intéressant d'étudier pour se familiariser avec les hétérostructures MOS et le profilage C-V.

Il est d'abord important de comprendre que le substrat semiconducteur dans une telle structure est toujours extrinsèque, c'est-à-dire qu'il est soit dopé avec des atomes accepteurs ou avec des atomes donneurs. Dans le premier cas, les dopants capturent des électrons du

semiconducteur, créant ainsi un surplus de trous. C'est ce que l'on nomme un dopage de type p. Dans le second cas, les atomes fournissent au contraire un surplus d'électrons, ce qui crée un dopage dit de type n. On aura des régimes d'opération similaires pour les deux types de dopage, mais les polarités à appliquer sur la grille seront inversées. Par exemple, si le substrat est de type p, appliquer une tension positive sur la grille attirera des électrons, qui sont dans ce cas-ci ce que l'on nomme les porteurs minoritaires, sous celle-ci. Si l'on voulait plutôt attirer sous la grille les porteurs minoritaires d'un substrat de type n (des trous), il faudrait appliquer une tension négative sur la grille. On supposera ici un substrat de type p pour simplifier la discussion.

Le but du reste de cette discussion n'est pas de fournir une revue exhaustive du fonctionnement des condensateurs MOS, mais plutôt d'en comprendre les idées principales afin de pouvoir en saisir le fonctionnement et les résultats attendus du profilage C-V ¹. Commençons par penser à ce qu'il se passe lorsqu'aucune tension n'est appliquée sur la grille électrostatique. On sait que les niveaux de Fermi de deux matériaux en contact seront alignés. Cela cause la courbure des bandes de conduction et de valence du substrat. Si l'on appliquait sur la grille une tension (V_G) égale à la différence des travaux d'extraction des matériaux, on retrouverait une structure de bandes plate. Cette tension, que l'on nomme V_{fb} , est intéressante car elle peut servir de point de référence pour le reste du fonctionnement du dispositif.

Si on réglait maintenant V_G à des valeurs plus faibles que V_{fb} , tout ce qui serait accompli serait de former une accumulation de trous sous la grille. C'est d'ailleurs ce que l'on nomme le régime d'accumulation. On peut deviner cela d'un diagramme de bandes, car la courbure qui est alors prise par les bandes du semi-conducteur fait en sorte que son niveau de Fermi et sa bande de valence sont très près l'une de l'autre à l'interface substrat-oxyde. Cela sous-tend qu'aucun électron ne se trouve dans la bande de conduction, et donc que seuls des trous se trouvent à l'interface entre le semi-conducteur et l'oxyde.

Si on avait plutôt $V_G > V_{fb}$ pour V_G faible, on aurait que le niveau de Fermi se retrouverait près de l'interface, directement entre les bandes de conduction et de valence, et ainsi que la concentration d'électrons et de trous y serait la même. Cela signifie qu'il y a en fait une zone de déplétion, c'est-à-dire avec pratiquement aucun porteur de charge libre, qui est formée à l'interface. Essentiellement, la tension positive appliquée sur la grille repousse les trous du substrat sur une certaine épaisseur.

Si on continue d'augmenter V_G de telle sorte à ce que $V_G \gg V_{fb}$, on aura que l'énergie de

1. Un lecteur intéressé à en apprendre plus sur le sujet est invité à se référer à [35], qui m'a été d'une grande utilité pour comprendre ces phénomènes.

Fermi se rapprochera suffisamment de la bande de conduction pour que quelques électrons commencent à la remplir. Cela signifie que la zone de déplétion se transforme en zone dite d'inversion, où ce sont plutôt les porteurs minoritaires de charge qui s'accumulent. La tension où des porteurs minoritaires commencent à s'accumuler à l'interface semi-conducteur-oxyde se nomme la tension de seuil (V_t). Si on a que $V_G > V_t$, plus d'électrons seront accumulés dans la zone d'inversion. On appelle ce régime le régime d'inversion forte.

Pour un condensateur MOS, tout ce que ces différentes régions d'opération changent au fonctionnement du dispositif est la capacité qui existe entre le substrat et la grille métallique, ce que l'on explorera à la sous-section 1.5.2. Cependant, le condensateur MOS est à la base du transistor MOS (figure 1.10b), qui est un condensateur MOS auquel ont été rajoutées des zones dopées par des porteurs minoritaires directement dans le substrat. On y retrouve les mêmes régimes d'opération, à la différence que, cette fois-ci, les différents régimes changeront le courant qui circule d'une zone dopée à l'autre. Par exemple, dans le régime d'accumulation, aucun courant ne pourra traverser car le type de porteur reliant une zone dopée à l'autre n'est pas le bon. Si par contre on applique sur la grille une tension V_G supérieure à la tension de seuil du dispositif, on aurait alors une couche d'électrons continue au-travers de laquelle un courant pourrait circuler. Les transistors basés sur un contrôle du courant dans leur canal par un potentiel appliqué sur leur grille se nomment des transistors à effet de champ (FET), et on parle de MOSFET lorsque ces transistors sont de surcroît basés sur l'hétérostructure MOS.

1.5.2 Bases du profilage capacité-tension

Tel qu'il l'a été mentionné à la sous-section précédente, dans un condensateur MOS, la capacité qui existe entre la grille et le substrat change selon le régime d'opération. Il est possible de comprendre intuitivement pourquoi en imaginant les porteurs de charge qui se trouvent sous la grille comme formant une plaque métallique, qui, avec la grille elle-même, forme un condensateur à plaques parallèles. Or, on sait que la capacité d'un condensateur à plaques parallèles est décrite comme étant

$$C = \frac{\epsilon A}{d}, \quad (1.28)$$

où ϵ est la constante diélectrique du milieu intermédiaire, A est l'aire des plaques, et d la distance les séparant. Ainsi, lorsque l'on passe du régime d'accumulation au régime de déplétion, par exemple, on peut imaginer que d'éloigner les porteurs de charge majoritaires

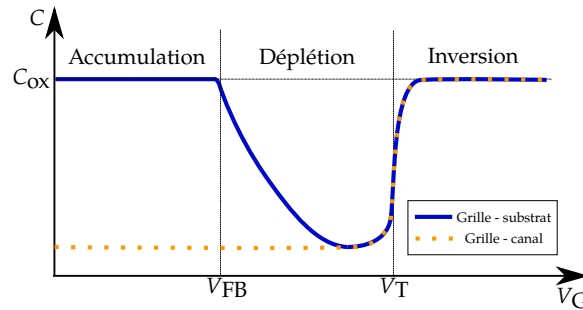


FIGURE 1.11 Courbes schématisées des capacités mesurées entre la grille et le substrat d'un condensateur MOS et entre la grille et le canal d'un transistor MOS de type p.

revient à agrandir la valeur de d et à ainsi réduire la capacité.

La capacité entre la grille et le substrat atteindra une valeur minimale à la fin du régime de déplétion, ensuite de quoi l'entrée dans le régime d'inversion causera une nouvelle augmentation de la capacité. Dans les deux cas extrêmes, c'est-à-dire lorsque le dispositif est en forte accumulation ou en forte inversion, la capacité est maximale, et est équivalente à la capacité d'un condensateur à plaques parallèles qui aurait la couche d'oxyde comme matériau diélectrique (C_{ox}). En tout et pour tout, on s'attend, pour un condensateur MOS idéal, à une courbe capacité-tension semblable à celle tracée en bleu à la figure 1.11. Cette courbe vaut en fait pour toute hétérostructure MOS, y compris pour un transistor MOS, tant que la mesure est faite entre la grille et le substrat.

Le profilage capacité-tension est une technique dont le but est de mesurer ces modifications de la capacité dans des hétérostructures afin d'en tirer des informations utiles, telles que l'épaisseur de l'oxyde de grille, la concentration de dopants dans le substrat ou le voltage de seuil. Une manière courante de s'y prendre est de relier une source de tension capable d'émettre une tension DC additionnée d'une oscillation de faible amplitude à la grille du dispositif à mesurer tout en connectant son substrat à la masse (figure 1.12a). Un courant oscillant circulera alors entre ces deux points, et mesurer ce courant permet d'obtenir une mesure de la capacité entre la grille et le substrat par utilisation de la loi d'Ohm AC (la résistance R du cas DC devient une impédance complexe Z en AC).

Il serait bien sûr possible de plutôt utiliser la technique du pont capacitif à deux sources décrite à la section 1.4. Celle-ci possède un avantage lors d'expériences à température cryogénique venant du fait qu'il est possible d'y minimiser la capacité parasite et donc d'y maximiser le signal lu alors que cela est difficilement réalisable à l'aide de la première méthode, où une énorme capacité parasite proviendra des câbles utilisés entre l'appareil de mesure et le dispositif à mesurer.

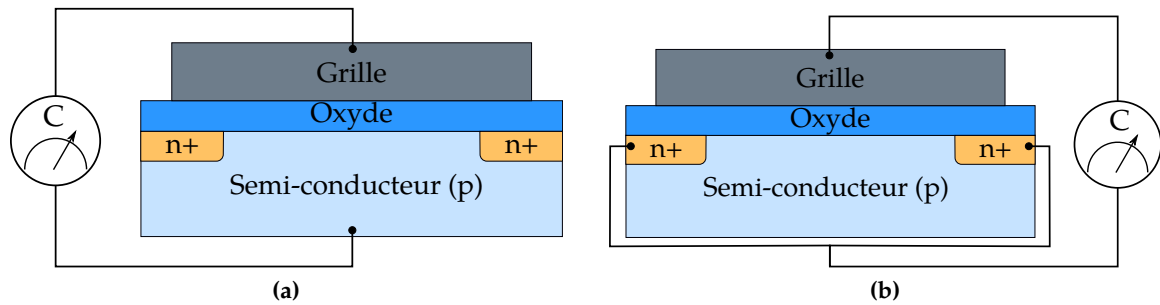


FIGURE 1.12 Schémas des connexions possibles pour une mesure capacité-tension sur un MOSFET montrant la connexion du circuit de mesure à (a) la grille et au substrat du dispositif et (b), la grille et aux contacts ohmiques du dispositif.

Il faut finalement noter que, pour un transistor MOS, il n'est pas toujours possible de se connecter directement au substrat. Par exemple, plusieurs transistors commerciaux n'ont des bornes que pour leur grille et les deux contacts ohmiques. Dans ce cas, il est possible d'effectuer une mesure capacité-tension en se connectant aux contacts ohmiques (figure 1.12b). On nomme cela une mesure C-V de type *split-gate* [36]. La différence majeure avec la mesure par rapport au substrat est qu'il ne sera pas possible d'obtenir la courbe bleue de la figure 1.11 de cette manière, car on sera alors seulement sensible à la capacité entre la grille et le canal, formé de porteurs de charge minoritaires. Dans ce cas-ci, la capacité est minimale dans le régime d'accumulation, et augmente graduellement dans le régime de déplétion avant de devenir maximale encore une fois dans la zone d'inversion, avec la même valeur C_{ox} que précédemment, ce qui correspond plutôt à la courbe orange pointillée de la figure 1.11.

Chapitre 2

Aspects expérimentaux

Dans ce chapitre, on verra comment il est possible de bâtir sur les bases théoriques présentées au chapitre 1 afin de parvenir à concevoir et construire un pont capacitif fonctionnel à températures cryogéniques.

2.1 Implémentation cryogénique du pont

L'implémentation d'un pont capacitif, ou en fait de tout circuit électronique, à des températures cryogéniques pose un défi intéressant. En effet, plusieurs composantes changent complètement de comportement lorsqu'elles sont suffisamment refroidies : les valeurs de résistances peuvent augmenter drastiquement, un transistor peut tout simplement arrêter de conduire et même un condensateur peut tomber jusqu'à 4% de sa valeur lorsque refroidi jusqu'à 10 mK. À cela s'ajoutent d'autres difficultés liées au fait que les appareils de mesure se trouvent à température pièce, et que de très longs câbles, avec énormément de capacité à la masse, doivent ainsi être utilisés pour effectuer les mesures. On exposera dans cette section comment ces difficultés ont été surmontées.

2.1.1 Minimisation de la capacité parasite

Le premier défi auquel on s'intéressera est l'apparition d'une capacité parasite due à la longueur considérable de câbles utilisés pour faire le lien entre les appareils à température pièce et le circuit cryogénique. En fait, le circuit de la figure 1.7, pour lequel on supposait des câbles peu capacitifs, deviendrait plutôt le circuit présenté à la figure 2.1, où chaque long câble (en rouge) a une capacité à la masse importante (C_{pr} , C_{ps} , C_{out}). Cette capacité à

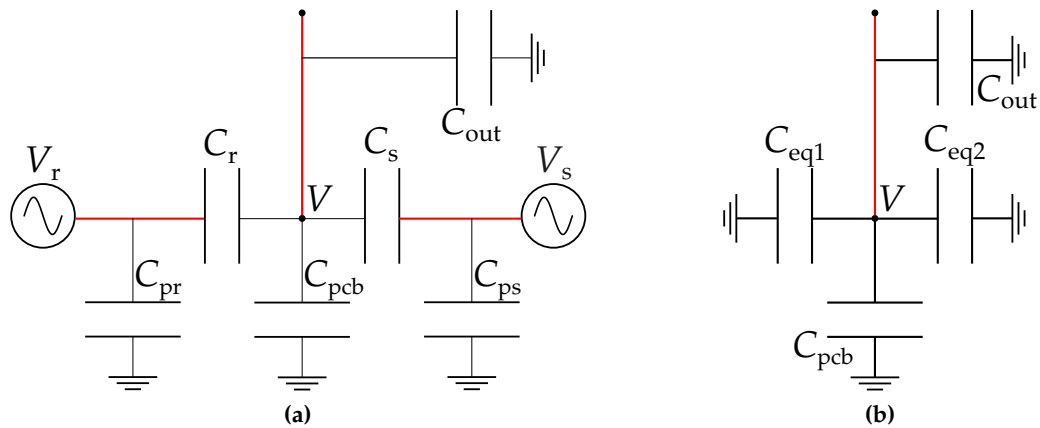


FIGURE 2.1 (a) Une visualisation réaliste du pont capacitif opéré à températures cryogéniques, où l'on détaille les différentes contributions à la capacité parasite. Les branches rouges du circuit correspondent aux câbles faisant le lien entre les appareils à température pièce et les composants à température cryogénique. (b) Circuit équivalent pour les signaux AC à partir du point central (V).

la masse est due à la structure même du câble coaxial, qui est formé d'un conducteur interne et d'un conducteur externe séparé par un milieu diélectrique, ce qui forme essentiellement un condensateur cylindrique. Pour un câble typique d'environ 4 m, une capacité de l'ordre des nanofarads est attendue. À cela s'ajoute une capacité parasite due au circuit de pont lui-même. Par exemple, si le pont est implémenté sur un circuit imprimé (PCB, de l'anglais *printed circuit board*) bicouche, il y aura toujours une certaine capacité entre les traces sur la couche du haut et la couche du bas (C_{pcb}), ce qui forme une capacité à la masse.

Ces capacités n'auront toutefois pas toutes le même effet sur le pont, en fait, C_{pr} et C_{ps} sont négligeables par rapport aux deux autres capacités. Pour comprendre pourquoi, il suffit de se rappeler que ce que l'on veut mesurer est la tension du point central (V). De ce point, on peut voir le circuit comme étant celui qui est illustré à la figure 2.1b, où les condensateurs C_{pr} et C_r (C_{ps} et C_s) ont été combinés dans C_{eq1} (C_{eq2}). On a donc que

$$C_{eq1} = \frac{C_{pr}C_r}{C_{pr} + C_r} \quad (2.1)$$

$$C_{eq2} = \frac{C_{ps}C_s}{C_{ps} + C_s}, \quad (2.2)$$

comme les condensateurs sont en série. Or, ces équations démontrent que si l'un des condensateurs a une capacité beaucoup plus faible que l'autre, leur capacité équivalente correspondra à la valeur du condensateur le plus faible. Dans le cas présent, on aura que $C_r \ll C_{pr}$ et que $C_s \ll C_{ps}$, et donc les valeurs C_{pr} et C_{ps} n'entrent pas dans la valeur de la

capacité parasite. Il en est tout autre pour les capacités C_{pcb} et C_{out} , qui sont toutes deux connectées directement entre le point central et la masse. On sait déjà que C_{out} sera de l'ordre du nanofarad, ce qui, selon l'équation 1.19, rendrait la détection d'un changement de l'ordre de l'attofarad expérimentalement impossible. Il est donc nécessaire de découpler le point central du pont de la capacité de ce câble. Pour ce faire, on voudrait idéalement disposer d'une composante capable d'adapter l'impédance entre le point central du pont et la ligne de lecture de manière à maximiser la transmission du signal. Cela revient à dire que de simplement ajouter une faible capacité en ce point ne serait pas une bonne solution.

Il s'avère qu'un transistor à effet de champ en configuration source commune (figure 2.2) peut être utilisé à cette fin [25, 33]. Le principe est que, dans un tel dispositif, de faibles capacités entre la grille et la source (C_{GS}) et la grille et le drain (C_{GD}) sont typiquement présentes. Comme la source du canal aura son potentiel à la masse, la capacité C_{GS} compte directement dans la capacité totale du pont. Par contre, ce n'est pas le cas de la capacité C_{GD} , qui se trouve en fait en série avec C_{out} . Cela devient alors analogue au cas des capacités des câbles des sources, et comme on a une grande capacité en série avec une faible capacité, la valeur équivalente est simplement celle de la plus faible des capacités. On parvient donc de cette manière à remplacer une valeur de quelques nanofarads (C_{out}) par une valeur de quelques centaines de femtofarads (valeur de C_{GD} atteignable pour certains FETs [33]), ce qui accomplit une première étape de minimisation de capacité. Il faut noter que, tel qu'il l'a été expliqué à la section 1.5.2, la capacité entre la grille et le canal du transistor changera selon le régime d'opération, mais elle demeurera toujours faible en comparaison avec C_{out} , donc il est possible de négliger de tels changements.

Le transistor n'est bien sûr pas simplement équivalent à un condensateur. Ce qui fait la différence entre l'utilisation d'un FET et celle d'un simple condensateur de valeur C_{GD} est le fait que le FET fonctionne en modulant son courant source-drain, ce qui permet d'obtenir un gain entre l'entrée et la sortie, alors que l'utilisation d'un simple condensateur causerait une atténuation du signal telle que dictée par la loi d'Ohm, ce qui est à éviter. Le lecteur averti aura toutefois remarqué qu'une tension DC doit être appliquée sur la grille du transistor. Or, cette tension passe aussi par un câble de grande capacité à la masse qui se connecte au centre du pont, ce qui serait la même situation qu'initialement si ce n'était de la présence de la résistance R_G . En fait, cette résistance a pour rôle de former un filtre passe-bas avec la capacité du câble, ce qui empêche le courant oscillant du pont de passer par ce câble. L'effet du transistor sur le pont et l'importance des résistances de polarisation R_G et R_D pour l'amplification est présenté plus en profondeur à l'annexe C.

La deuxième contribution importante à la capacité totale provient de C_{pcb} . Cette capacité est présente surtout si l'on intègre le pont sur un circuit imprimé bicouche où la couche

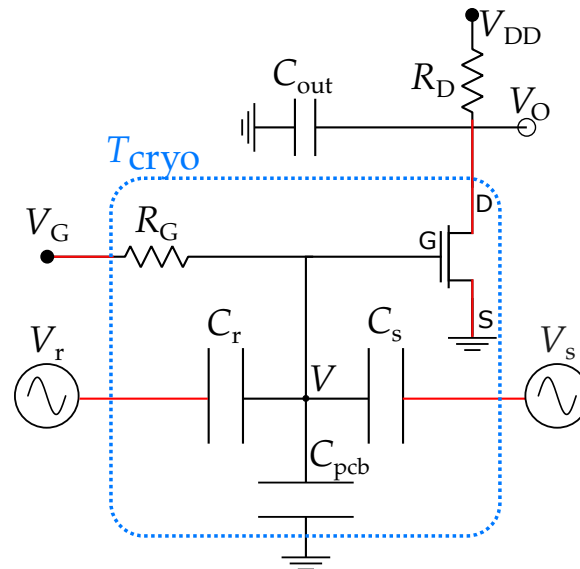


FIGURE 2.2 Schéma du circuit de pont capacitif couplé à la grille d'un transistor à effet de champ. Les résistances R_G et R_D ainsi que les tensions DC V_G et V_{DD} forment le circuit de polarisation du transistor. La tension de sortie est maintenant la tension de drain du transistor, que l'on nomme V_{out} . Comme pour la figure 2.1, les lignes rouges représentent les câbles qui passent entre les appareils de mesure et le circuit cryogénique (encadré pointillé bleu). On a omis les capacités des câbles des sources comme elles n'affectent pas la capacité totale.

inférieure sert de plan de masse (figure 2.3a), et provient en majorité du couplage électrostatique entre le nœud au centre du pont et le plan de masse. En effet, s'il y a superposition des deux éléments, un condensateur à plaques parallèles est formé. Pour les paramètres typiques de fabrication de PCB, la capacité linéique à la masse est estimée¹ comme étant d'environ $0.3950 \text{ pF cm}^{-1}$, ce qui n'est pas négligeable. Si on veut se débarrasser de cette contribution parasite, la première idée envisageable serait de retirer complètement le plan de masse. Or, celui-ci joue un rôle dans la réduction du bruit présent à différents points du circuit, diminue la diaphonie entre des traces avoisinantes et aide à la thermalisation de la carte de circuit imprimé, donc son élimination complète pourrait avoir d'autres effets néfastes. Un compromis peut toutefois être atteint en le coupant (figure 2.3b) sous les traces correspondant aux nœuds sensibles à la capacité parasite. La capacité C_{pcb} se retrouverait alors grandement diminuée du fait qu'il n'y aurait plus de superposition directe entre la trace et le plan. Il est toutefois difficile de prévoir quelle sera la nouvelle valeur dans un cas précis sans avoir recours à des simulations numériques. Finalement, comme la capacité à la masse d'une trace est proportionnelle à sa longueur, une dernière considération à respecter

1. Cette estimation a été effectuée avec PCB Toolkit 7.02 de Saturn PCB Design, Inc. en utilisant une trace de largeur 0.1524 mm , une épaisseur de substrat de 1.6 mm , un substrat de type FR-4, une couche de cuivre d'épaisseur $18 \text{ }\mu\text{m}$ et un placage d'épaisseur $35 \text{ }\mu\text{m}$.

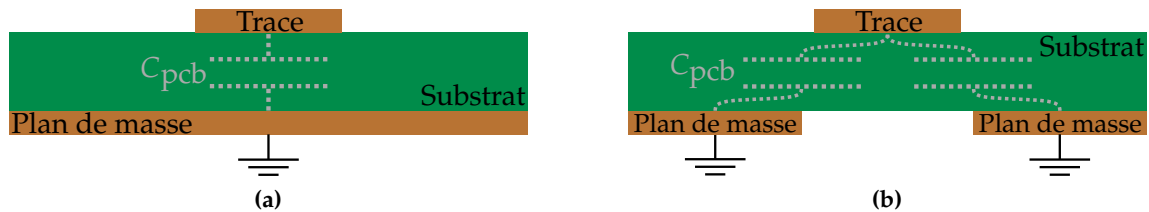


FIGURE 2.3 (a), vue en coupe d'un circuit imprimé habituel où les traces de signal passent directement au-dessus d'un plan de masse. Comme il y a superposition entre la trace et le plan de masse, un condensateur à plaques parallèles est formé et C_{pcb} est grand. (b), vue en coupe d'un PCB où le plan de masse a été retiré de sous la trace. Comme il n'y a plus de superposition directe entre la trace et le plan, C_{pcb} est beaucoup plus faible que dans le cas (a).

lors de la conception du circuit imprimé sera de minimiser la longueur des traces correspondant au point central du pont. Cela signifie entre autres que le transistor de la figure 2.2 doit être situé le plus près possible des autres composants du pont.

2.1.2 Considérations pour l'opération de composants électroniques à température cryogénique

Maintenant que l'on sait comment il est possible de minimiser la capacité parasite présente sur le circuit, il reste à trouver les composants électroniques avec lesquelles construire ce dernier afin qu'il continue de fonctionner à des températures aussi basses que 10 mK. Il faut entre autres disposer d'un transistor à effet de champ, de résistances et de condensateurs de référence cryogéniques. Or, les fabricants ne caractérisent généralement pas leurs composants jusqu'à des températures cryogéniques, et plusieurs y sont non-fonctionnelles. Heureusement, plusieurs groupes dans le monde travaillent dans le domaine de l'électronique à basse température, et il fut possible de se baser sur leurs travaux afin de trouver quelques familles de pièces aptes à garder leurs propriétés dans ces conditions. Il faut aussi garder en tête qu'à ces températures, une dissipation thermique aussi faible que 1 mW est suffisante pour réchauffer l'environnement, des composants dissipant le moins de puissance possible sont donc requises.

D'abord, on considère le condensateur de référence. Il est facile d'imaginer que la capacité d'un condensateur à plaques parallèles, comme elle est définie par des considérations géométriques, ne changera pas avec la température. Or, la vérité est tout autre et on voit en pratique que plusieurs familles de condensateurs perdent énormément de leur valeur lorsque refroidies. Cela est causé par le fait que les matériaux utilisés comme diélectriques entre les deux plaques métalliques ont généralement des propriétés très sensibles à la

température, ce qui peut faire varier leur constante diélectrique de manière notable. Seule une famille de condensateurs connue [37] ne montre pas de dépendance en température jusqu'à 4 K. Il s'agit de condensateurs de type NP0, qui ont été fabriqués avec des diélectriques ayant des coefficients de température qui s'annulent mutuellement. Il s'avère que cette propriété tient jusqu'à des températures cryogéniques. Pour le circuit, les condensateurs de la série 700B d'ATC ont été utilisés [38].

Maintenant, on se penche sur les résistances. La résistance R_G du circuit présenté à la figure 2.2 doit absolument se trouver à proximité du transistor, ce qui signifie qu'elle doit fonctionner cryogéniquement. Cependant, la résistance R_D peut être gardée à l'extérieur du cryostat. Cela aura peut-être l'inconvénient de diminuer la bande-passante en sortie du circuit, mais aura comme avantage de minimiser la dissipation de puissance. En effet, comme la puissance dissipée par une composante donnée est de RI^2 , une résistance de plus de quelques kilohms aurait un effet majeur sur la température du cryostat pour pratiquement toute valeur de courant. Comme notre circuit nécessitera justement une résistance de cet ordre, il vaut mieux la garder à l'extérieur, ce qui signifie qu'une résistance conventionnelle peut être utilisée. Pour R_G , cependant, il a été nécessaire d'étudier plusieurs modèles de résistances avant d'en trouver une qui fonctionnait correctement. On savait par expérience dans le groupe que les résistances de type film mince, c'est-à-dire où une couche résistive métallique submicronique est déposée sur un substrat de céramique pour former la résistance, fonctionnaient plus souvent que les autres types communs. Expérimentalement, on a mesuré la série RG2012P de Susumu Co, Ltd. [39] comme variant de seulement +15% entre 300 K et 10 mK dans les pires cas, ce qui en faisaient de bons candidats. La plus haute valeur de la série, de 2.7 M Ω (RG2012P-275-B-T5) est la résistance qui a été choisie au final, après avoir initialement utilisé d'autres types de résistances sur les premiers prototypes, qui n'étaient refroidis que jusqu'à 1.5 K.

La dernière question importante est celle concernant le transistor. Un problème courant avec les FETs est que lorsqu'ils sont refroidis sous environ 100 K, les dopants ne reçoivent plus l'énergie d'ionisation nécessaire à la création de porteurs de charge (cette énergie est typiquement de source thermique) et le courant ne peut donc plus circuler dans le transistor. Ce problème peut donc être complètement évité en utilisant un FET qui n'est pas basé sur un dopage pour fonctionner. Il s'avère que de tels transistors existent. On les nomme des transistors à haute mobilité électronique (HEMT), qui représentent un type de FET basé sur l'utilisation d'une hétérostructure entre deux matériaux ayant des *gaps* différents pour former un canal au lieu de régions dopées. Ce type de transistor est fréquemment utilisé cryogéniquement dans la littérature [25, 33, 40, 41], car il continue de bien fonctionner jusqu'à 10 mK tout en ayant une faible dissipation thermique. Pour le pont, il a été décidé

d'utiliser le HEMT ATF-36163 d'Avago Technologies [42], que nos collaborateurs des Sandia National Laboratories avaient déjà utilisé dans des circonstances similaires [40].

La dissipation thermique du transistor a été mentionnée dans le dernier paragraphe. Il s'agit en fait d'un facteur critique lors de l'utilisation dans un réfrigérateur à dilution, car la puissance de refroidissement disponible à l'étage le plus froid d'un tel système est typiquement de 10 μ W à 10 mK, ce qui est extrêmement faible. Dans une configuration source-commune, étant donné qu'aucun courant ne traverse la grille, il est possible d'estimer la dissipation de puissance par le système complet en connaissant simplement V_D , V_{DD} et R_D à l'aide de l'équation suivante :

$$P_{\text{totale}} = V_{DD} I_D = \frac{V_{DD} - V_D}{R_D} V_{DD}. \quad (2.3)$$

Cependant, si la résistance R_D est laissée à l'extérieur du réfrigérateur à dilution, sa dissipation thermique n'est pas importante. On s'intéresse plutôt à la dissipation seulement par le HEMT, calculable comme étant :

$$P_{\text{HEMT}} = V_D I_D = \frac{V_{DD} - V_D}{R_D} V_D. \quad (2.4)$$

2.2 Dispositifs de boîtes quantiques

Il est maintenant temps de s'intéresser aux dispositifs sur lesquels on voudra effectuer les expériences de détection de charge. Les expériences menées dans le cadre du projet ont toutes été réalisées sur le même type de dispositif : une double boîte quantique fabriquée par nos collaborateurs des Sandia National Laboratories. On présentera ici brièvement ce dispositif et on abordera comment on peut espérer y connecter le pont capacitif.

2.2.1 Double boîte quantique en silicium

Le dispositif de double boîte quantique est illustré à la figure 2.4. Il s'agit d'un dispositif de type MOS, fabriqué sur une hétérostructure de silicium et de silicium-germanium avec, par-dessus, des grilles de polysilicium séparées du substrat par une mince couche d'oxyde de silicium. Les grilles forment, de gauche à droite, un point de contact quantique (PCQ), une double boîte quantique et un transistor monoélectronique. Les boîtes quantiques sont formées sous les grilles AL et AR, et les réservoirs correspondants à chacune des boîtes sont respectivement AS et AD. Les grilles TP et CP sont des grilles de confinement, utilisées

pour limiter la taille des boîtes quantiques ainsi que pour moduler le couplage tunnel entre celles-ci. Les grilles UL, LL, UR et LR sont aussi des grilles de confinement. Finalement, pour le transistor monoélectronique, la grille ASET est la grille d'accumulation, tandis que SETU et SETL servent à contrôler les barrières tunnel situées de part et d'autre de l'îlot central du SET. Des contacts ohmiques sont situés aux réservoirs des boîtes quantiques, sous le contact du PCQ, et de chaque côté du canal du transistor monoélectronique.

Comme les boîtes quantiques n'ont un accès direct qu'à seulement un seul réservoir, il n'est pas possible de réaliser de mesures en transport sur ceux-ci individuellement. Il faudrait être en mesure de former les deux boîtes pour y parvenir, or, cela s'avère souvent complexe. Afin de réduire les risques associés à des dysfonctionnements des dispositifs sur le projet, il a été décidé que les expériences de détection monoélectronique seraient effectuées uniquement sur le SET. Les avantages de cette approche sont notamment qu'un SET est plus facile à former qu'une double boîte quantique et que les mêmes effets, notamment le blocage de Coulomb, devraient être visibles dans un SET.

Une question importante à se poser dès maintenant est toutefois de savoir comment se connecter à un tel dispositif. La structure de base du pont capacitif impose que l'échantillon soit connecté à deux points (figure 2.2), un de ces points étant une source AC, et l'autre étant le point central du pont. Une solution potentielle qui sera approfondie à la section 4.1 consiste en fait à utiliser le fait que toutes les grilles du SET soient individuellement couplées à la boîte quantique du SET. Cela implique que les capacités de toutes ces grilles seront affectées par un changement de population dans la BQ, et donc que n'importe quelle paire de grilles puissent être connectées au circuit. La première grille de la paire servira à recevoir le signal d'une des sources AC, tandis que la seconde, qui lui sera couplée partiellement au-travers de la BQ, fera passer une fraction de ce signal au centre du pont. C'est alors ce signal qui sera utilisé pour équilibrer le pont, en conjonction avec le signal qui passera dans le condensateur C_r . Les *deux* grilles choisies doivent donc être les mieux couplées possible à l'îlot central pour maximiser le signal (voir annexe A.2).

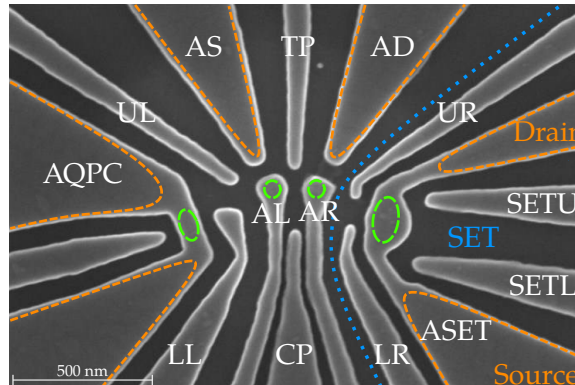


FIGURE 2.4 Image par microscopie électronique d'un dispositif de double boîte quantique du modèle utilisé pour effectuer les expériences sur le pont capacitif. Les zones délimitées par les pointillés oranges correspondent aux réservoirs d'électrons, qui se situent sous les grilles et sont connectés à des contacts ohmiques, tandis que les pointillés verts représentent les différents îlots. Les grilles du côté droit du pointillé bleu servent à former un SET.

2.3 Montages expérimentaux

Bien sûr, le circuit imprimé et le dispositif utilisé ne représentent qu'une partie du montage expérimental. Pour assurer son bon fonctionnement, il faut disposer de plusieurs types de sources et, dans le cadre de nos expériences, il faut aussi être en mesure de refroidir ce circuit jusqu'à des températures cryogéniques. Le but de cette section est de présenter les différents montages expérimentaux utilisés au cours du projet. Les deux prototypes de circuits imprimés conçus seront quant à eux présentés au chapitre suivant pour bien rendre compte du travail de développement effectué.

2.3.1 Montage à 1.5K

Le premier montage expérimental présenté est celui qui a été utilisé durant les expériences de caractérisation présentées aux chapitres 3 et 4, pour lesquelles une température de 1.5 K était suffisamment faible et où peu de signaux DC étaient requis.

Un cryostat de type VTI (pour *variable temperature insert*) de température minimale 1.5 K était alors utilisé. La carte de circuit imprimé contenant l'échantillon à tester est insérée dans le cryostat par montage sur une canne de longueur 1.5 m, laquelle contient le câblage nécessaire à faire le lien entre les appareils du laboratoire et l'échantillon. On y compte 48 fils de type paires entrelacées, typiquement utilisés pour transmettre des signaux DC, et deux câbles coaxiaux de type SMA pouvant transmettre des signaux AC jusqu'à 18 GHz.

Pour les expériences initiales effectuées sur le premier prototype, tous les signaux ont été envoyés par les paires entrelacées. Cela est dû au fait qu'il n'était pas prévu que la diaphonie présente entre ces câbles soit un problème pour les tests préliminaires. Il a par contre été déterminé qu'il était préférable d'utiliser les câbles SMA par la suite.

Les sources qui ont été utilisées étaient divisées en deux groupes principaux : les sources DC et les sources AC. Les sources DC sont nécessaires pour fournir les tensions de polarisation au circuit du transistor et aux grilles de l'échantillon de boîte quantique. Elles doivent être très stables pour ne pas ajouter de bruit dans le signal en sortie. L'appareil E5270B de Keysight Technologies a été choisi à cette fin. Celui-ci contient 4 unités de mesure à source (*SMU* en anglais) qui permettent d'appliquer des tensions très précises tout en mesurant les courants débités, ce qui est pratique pour vérifier le bon fonctionnement du transistor, par exemple.

En ce qui a trait aux sources AC, qui sont responsables d'émettre les tensions V_s et V_r du pont, deux options sont disponibles. La première est d'utiliser les sorties oscillantes de deux lock-ins SR830 de Stanford Research synchronisés ensemble. L'un des deux lock-ins peut de plus être utilisé pour détecter le signal oscillant en sortie du circuit. Cependant, ce modèle de lock-in n'est pas en mesure de modifier la phase de son signal en sortie, donc il n'est pas possible d'effectuer un ajustement précis de la différence de phase entre V_r et V_s . Quelques mesures ont été tentées dans cette configuration, mais la qualité des résultats était dégradée par le fait qu'il n'était pas possible d'atteindre un déphasage d'exactly 180° au niveau de l'échantillon. Pour la majorité des expériences, on a plutôt eu recours à un générateur d'ondes arbitraires AWG5014C de Tektronix à quatre canaux. Celui-ci a un taux d'échantillonnage maximal de 1.2 GS^{-1} , ce qui permet d'émettre des ondes sinusoïdales à des fréquences de l'ordre de 100 MHz. Cet appareil permet de décaler la phase des ondes des quatre canaux avec une précision de 0.1° , ce qui est suffisant pour notre application.

La mesure de la partie oscillante du signal en sortie était quant à elle toujours effectuée par un amplificateur lock-in SR830, synchronisé avec le générateur d'ondes arbitraire. Le SR830 a une plage de fréquence allant de 1 mHz à 102.4 kHz, ce qui définit les fréquences auxquelles le circuit pouvait être utilisé. Un préamplificateur à gain variable de type SR560 est utilisé à l'entrée de celui-ci comme le signal à mesurer sera possiblement très faible. Le schéma de montage utilisant la configuration finale décrite dans cette section est présenté à la figure 2.5.

Le contrôle de l'expérience et l'acquisition des données ont été assurés par un ordinateur connecté par GPIB à tous les appareils. Le logiciel LABBER de Lab Control Software Scandinavia AB est utilisé pour communiquer avec chaque appareil.

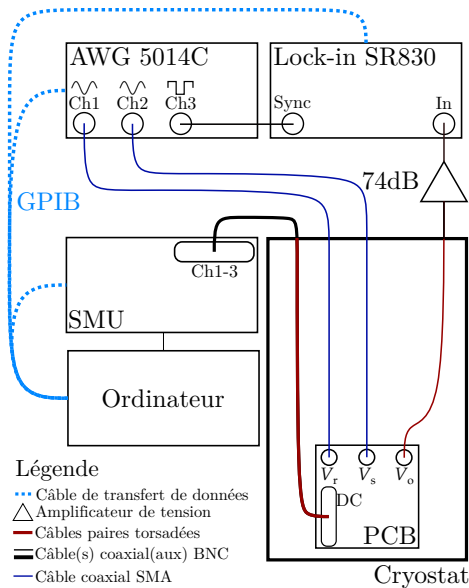


FIGURE 2.5 Schéma du montage final à 1.5K illustrant les connexions entre les composantes principales. Les dessins au-dessus des différents canaux du AWG 5014C illustrent le type d'onde envoyée par le canal en question.

2.3.2 Montage à 10mK

Ce second montage est celui qui a été utilisé pour les mesures de blocage de Coulomb avec le pont capacitif, qui sont très sensibles à la température et qui nécessitent maintenant d'opérer toutes les grilles du transistor mono-électronique et donc de disposer d'une source DC avec plus de canaux de sortie.

Prenons d'abord le temps de mettre en évidence les différences entre ce montage (figure 2.6) et le premier (figure 2.5). Premièrement, l'expérience prend maintenant place dans un réfrigérateur à dilution Blue Fors LD-250 ayant une température minimale de 8 mK. Ce changement de réfrigérateur permet d'atteindre des régimes où l'énergie thermique est minimale. Toutefois, des effets précédemment négligeables ne le sont plus. Par exemple, même si la température de l'étage le plus froid est de 8 mK, les électrons eux-mêmes auront une température effective plus élevée. Cela est partiellement dû au fait que les câbles établissent des liens entre le monde extérieur et l'étage le plus froid, mais une autre contribution importante provient de bruit micro-ondes se couplant aux câbles et agitant les électrons. Un ancrage thermique des câbles à chaque étage intermédiaire du réfrigérateur réduit l'importance du premier phénomène, tandis que le bruit micro-ondes est ici atténué par l'utilisation de câbles Thermocoax® (en gris sur la figure 2.6) pour la transmission de tous les signaux. Ce type de câble a une bande-passante de l'ordre d'environ 2 MHz et une

atténuation importante à haute fréquence [43], ce qui en fait simultanément un filtre bien adapté à nos besoins comme les fréquences des signaux appliqués seront de l'ordre de la dizaine ou de la centaine de kilohertz. Des câbles coaxiaux BNC (en noir sur la figure) sont encore utilisés à l'extérieur en raison de la fragilité mécanique des câbles Thermocoax[®], tandis que des câbles de type paires torsadées (rouge) sont utilisés pour faire le lien entre la *mixing chamber* (MC sur le dessin) et les connexions DC du PCB. De même, des câbles SMA cryogéniques (bleu foncé) font le même lien pour les connexions AC. Cependant, comme ces câbles sont courts en comparaison aux Thermocoax[®], leur effet sur le bruit et la température électronique sera minime. Notons aussi au passage que le bruit basse-fréquence toujours présent dans les réfrigérateurs à dilution secs tels que le BF-LD250 [44] n'est quant à lui pas très important, comme les mesures seront effectuées en lock-in à des fréquences de l'ordre de la dizaine de kilohertz et que la structure étudiée est un transistor monoélectronique et non un qubit de spin, qui serait beaucoup plus fragile à tout type de bruit.

La source AC utilisée est la même que précédemment, et il en est de même pour le lock-in. Comme la tension minimale pouvant être émise par le AWG 5014C est de 20 mV, ce qui est, dans ce cas-ci, trop élevé pour une application directe sur une grille du SET, des atténuateurs de -40 dB sont ajoutés aux deux sorties sinusoïdales de l'appareil.

Comme il sera maintenant nécessaire d'appliquer des tensions DC sur toutes les grilles du SET, le SMU quatre canaux utilisé précédemment est remplacé par un IV-VI Bias-DAC fabriqué par TU Delft. Celui-ci contient 16 convertisseurs analogues-numériques (DAC) en mesure d'appliquer des tensions de -4 à 4 V avec une précision de 16 bits (équivalent à $\sim 60 \mu\text{V}$ en tension). Une particularité de cet appareil est qu'il est alimenté par des batteries et référencé directement à la mise à la terre du réfrigérateur, elle-même découplée de la mise à la terre du bâtiment, ce qui empêche la formation de boucles de masse. La communication entre l'ordinateur et cet appareil est assurée par fibre optique pour la même raison. L'appareil comprend aussi des atténuateurs de tension et des amplificateurs courant/tension, utilisés respectivement pour polariser le canal source-drain du transistor avec des tensions de l'ordre du microvolt et pour mesurer le courant le traversant. La tension générée par l'amplificateur courant/tension est elle-même ensuite mesurée par un nanovoltmètre Keithley 2182A ayant un bruit intrinsèque de seulement 15 nV pic à pic [45]. En connaissant le gain de l'amplificateur du IV-VI Bias-DAC, il est possible de relier cette valeur de tension à la valeur de courant initiale.

En général, l'acquisition des données avec ce montage a été réalisée avec un temps d'intégration de 300 ms et une pente de filtre de 24 dB oct^{-1} au lock-in. Une telle pente donne le signal de meilleure qualité possible, mais sous-tend un temps de stabilisation d'au

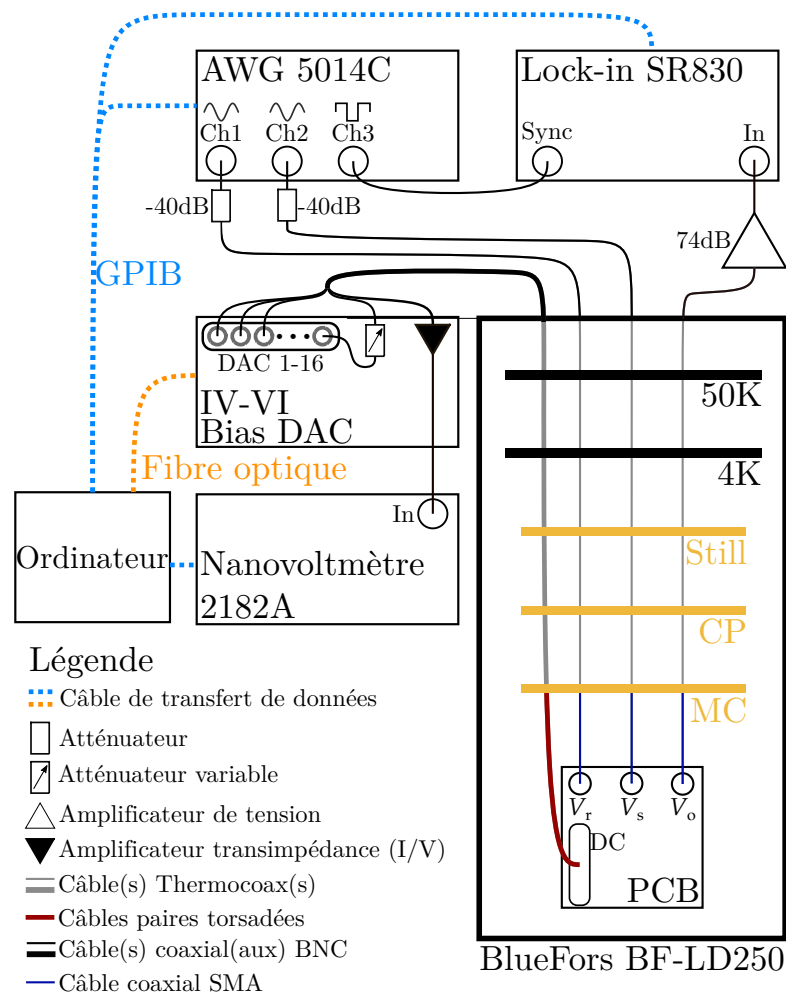


FIGURE 2.6 Schéma du montage utilisé dans le réfrigérateur à dilution BlueFors.

moins 10 fois la constante de temps sélectionnée [46], soit 3 s, par point. On utilise aussi le nanovoltmètre dans son mode le plus précis, ce qui n'affecte pas le temps de mesure car le temps de réponse de cet appareil est alors de 1 s.

Chapitre 3

Développement et caractérisation du pont capacitif

Les deux derniers chapitres ont introduit toutes les notions essentielles à la conception et à la fabrication de ponts de capacité. On abordera ici les étapes de conception et les expériences de caractérisation réalisées sur les deux premiers prototypes réalisés, ce qui représente les dernières étapes avant d'en arriver à des cas d'utilisation réels.

3.1 Premier prototype de circuit imprimé

3.1.1 Description du prototype

La première génération de circuits imprimés a été réalisée dans le but de se familiariser avec le fonctionnement du pont de capacité réel, de résoudre des problèmes qui n'avaient pas été initialement envisagés ainsi que de réaliser une preuve de concept pour la détection d'un faible changement de capacité. Cette version de la carte de circuit imprimé (figure 3.1) a été conçue et fabriquée directement au département de physique, et n'incorporait que les composants de base figurant sur le circuit de la figure 2.2. Ces derniers sont identifiés directement sur la figure. Comme il l'a été mentionné précédemment, le transistor utilisé est un HEMT ATF-36163 d'Avago Technologies [42]. La résistance R_G est de type film épais et a une valeur de $100\text{ M}\Omega$ à température pièce, tandis que la résistance de drain R_D est de type film mince et a une valeur de $1\text{ k}\Omega$. Le condensateur de référence C_r est de type SMD (modèle ATC700B0R1BT500XT [38]) de $(0.1 \pm 0.1)\text{ pF}$. La composante C_s qui apparaît sur la photo est quant à elle en fait une puce contenant 10 condensateurs coplanaires permettant

de simuler des changements de capacité beaucoup plus faibles que ce qui serait possible à l'aide de condensateurs commerciaux standards. Cette puce est décrite en détail à l'annexe [D](#).

Le lecteur attentif aura remarqué que les résistances utilisées sur ce prototype diffèrent des paramètres idéaux présentés à la section [2.1.2](#) et que R_D se trouve même ici à l'intérieur du cryostat. Cela avait été inspiré par la littérature [\[33\]](#), mais il a été observé que la résistance R_D dissipait beaucoup de puissance dans le cryostat, même si une faible valeur était utilisée. Cela n'était pas problématique dans le système utilisé ici, mais le serait devenu dans un réfrigérateur à dilution, c'est donc pourquoi elle a été déplacée à l'extérieur par la suite. En ce qui a trait à R_G , qui est de type film épais, et non film mince, il était pleinement attendu que sa valeur augmente à température cryogénique. Comme aucun courant ne circule dans la grille du transistor, cela n'est pas très grave. Cependant, des mesures subséquentes ont montré que sa courbe courant-tension devenait non-linéaire à des températures inférieures à 1.5K, ce qui la rendait inutilisable dans ces conditions. C'est pourquoi elle a été remplacée sur un prototype subséquent.

On remarquera aussi que cette carte de circuit imprimé était fabriquée en FR-4 et comportait à l'endos un plan de masse en cuivre sur la totalité de sa surface : il n'avait pas été coupé tel que décrit à la section [2.1.1](#) pour la simple raison que c'est ce prototype qui a mené à la compréhension du fait que le plan de masse apportait une contribution non-négligeable à la capacité parasite. De toute façon, ce PCB devait être fixé directement à une plaque de cuivre afin d'être refroidi. Ladite plaque aurait alors quand même fait office de plan de masse en l'absence de la couche de cuivre inférieure.

Il est finalement important de remarquer que les câbles qui font parvenir les tensions jusqu'au circuit sont tous des câbles de type paires entrelacées, qui ne sont habituellement pas utilisés pour des signaux AC car ceux-ci favorisent l'apparition de diaphonie, c'est-à-dire la contamination d'un signal par un autre causée par induction électromagnétique. Cela est fait par contrainte, car l'utilisation de câbles coaxiaux nécessite l'utilisation de connecteurs correspondants sur le PCB, ce qu'il était impossible d'accommoder dans cette première version à cause de limites de fabrication à l'interne.

3.1.2 Courbes d'équilibre avec deux condensateurs commerciaux

Résultats

Une fois le circuit conçu, fabriqué et intégré au montage de la section [2.3.1](#), la première étape fut de s'assurer que son fonctionnement était celui qui était attendu. Pour ce faire, un

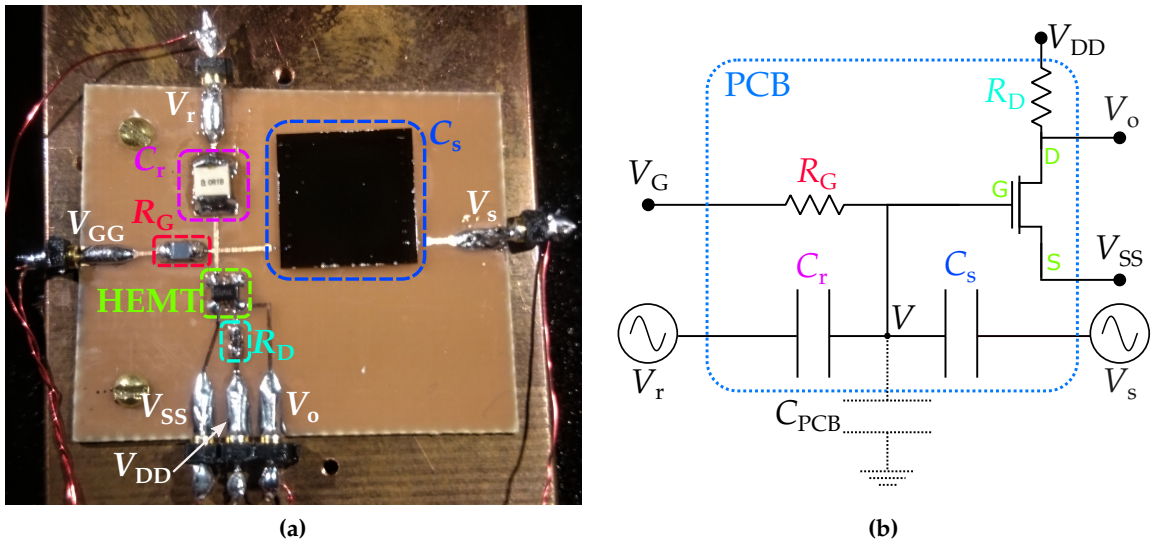


FIGURE 3.1 Photo (a) et circuit équivalent (b) de la première version de la carte de circuit imprimé. Sur la photo, le condensateur C_s est une matrice de condensateurs coplanaires, mais un condensateur de type commercial similaire à C_r pouvait aussi être connecté. Le condensateur en pointillés en (b) correspond à la capacité parasite du PCB.

second condensateur commercial de 0.1 pF a été monté sur le PCB en tant que C_s , le tout a été refroidi à 1.5K et des courbes d'équilibrage ont été tracées pour plusieurs fréquences : la tension V_s a été gardée constante à une valeur de 100 mV et V_r a été balayé continuellement. Le déphasage entre V_r et V_s était quant à lui simplement réglé comme une différence de 180° au niveau des sources. Les résultats obtenus sont présentés à la figure 3.2, où sont tracées l'amplitude (3.2a), et la phase (3.2b) des signaux en sortie pour plusieurs fréquences ainsi que des traces de ces deux quantités (figures 3.2c et 3.2d respectivement).

Le premier résultat intéressant à remarquer est le fait qu'à basse fréquence, le ratio d'équilibre est de $V_r/V_s = 0.8762 \pm 0.0003$. Sachant que $C_r = 100$ fF, cela signifierait que $C_s = (87.62 \pm 0.03)$ fF. Ce résultat est satisfaisant, surtout étant donné le fait que les tolérances du fabricant sur ces condensateurs sont de $\pm 100\%$ de leur valeur et qu'on doit donc s'attendre à certaines variations entre les membres de la même série. On peut noter qu'à 100 Hz, les courbes en amplitude (figure 3.2c) et en phase (figure 3.2d) sont très près de ce que l'on attendait expérimentalement, c'est-à-dire une courbe en V en amplitude ainsi qu'une courbe en phase montrant une transition abrupte entre les phases des deux sources au point d'équilibre.

Ce qui est plus étonnant de constater est la variation importante dans la courbe d'équilibrage qui survient en fonction de la fréquence. On voit entre autres que les courbes

s'arrondissent, et que la position du point d'équilibre se déplace (lignes rouges dans les figures 3.2a et 3.2b). Plusieurs facteurs entrent ici en jeu. Le premier est le fait qu'en augmentant la fréquence, il puisse survenir des déphasages plus importants dans les câbles eux-mêmes. Cela est causé par les différences dans les impédances caractéristiques des deux câbles d'entrée utilisés. À cause de leur composante réactive, celles-ci ne sont pas constantes en fréquence et le déphasage entre les deux signaux au niveau de l'échantillon peut s'éloigner de 180° à fréquence élevée. On se retrouve alors dans la situation illustrée à la figure 1.8b, c'est-à-dire des courbes arrondies qui n'atteignent jamais une amplitude nulle. Cet effet peut toutefois être compensé en ajustant la phase relative entre les deux signaux lorsque la fréquence change. Il faut à cette fin disposer de sources pouvant permettre un ajustement indépendant et précis de leur phase relative. Des équipements mentionnés à la section 2.3.1, seul le AWG 5014C de Tektronix a cette capacité, et c'est donc celui-ci qui sera utilisé lors des expériences des sections suivantes.

Le deuxième facteur, qui est le plus important, est le fait que les câbles utilisés pour appliquer les tensions ne sont pas isolés du câble de lecture de la tension. À haute fréquence, il est donc possible pour les signaux en entrée de moduler directement le signal en sortie, en passant en quelque sorte directement d'un câble à l'autre. À fréquence suffisamment élevée, l'équilibrage peut devenir dominé par cet effet au lieu d'être relié aux capacités dans le pont, ce qui est démontrable par simulation. Ce problème peut être réglé par l'utilisation de câbles coaxiaux bien isolés les uns des autres, ce qui est une amélioration qui a été apportée sur le deuxième prototype, sujet de la section 3.2.

Simulation du circuit

Arriver à la conclusion que ce qui cause l'évolution en fréquence visible à la figure 3.2 est bien de la diaphonie a nécessité deux étapes. La première a été d'observer que des signaux oscillants étaient toujours présents à la sortie du transistor lorsque celui-ci n'était pas polarisé. Cela a motivé une étude plus approfondie durant laquelle il fut observé que des signaux pouvaient passer directement d'un câble à l'autre, et ce même lorsque ceux-ci n'étaient pas connectés au niveau du PCB. Il s'avère que ce couplage pouvait être modélisé approximativement par l'introduction de capacités entre les différents câbles, tel que représenté entre les entrées et la sortie du circuit représenté à la figure 3.3. Il est ensuite possible de simuler le comportement de ce circuit relativement à la fréquence des sources à l'aide du logiciel LTSPICE XVII (figure 3.3).

On remarque que cette figure, qui représente la phase du signal pour plusieurs ratios de tensions et plusieurs fréquences, montre une évolution en fréquences extrêmement

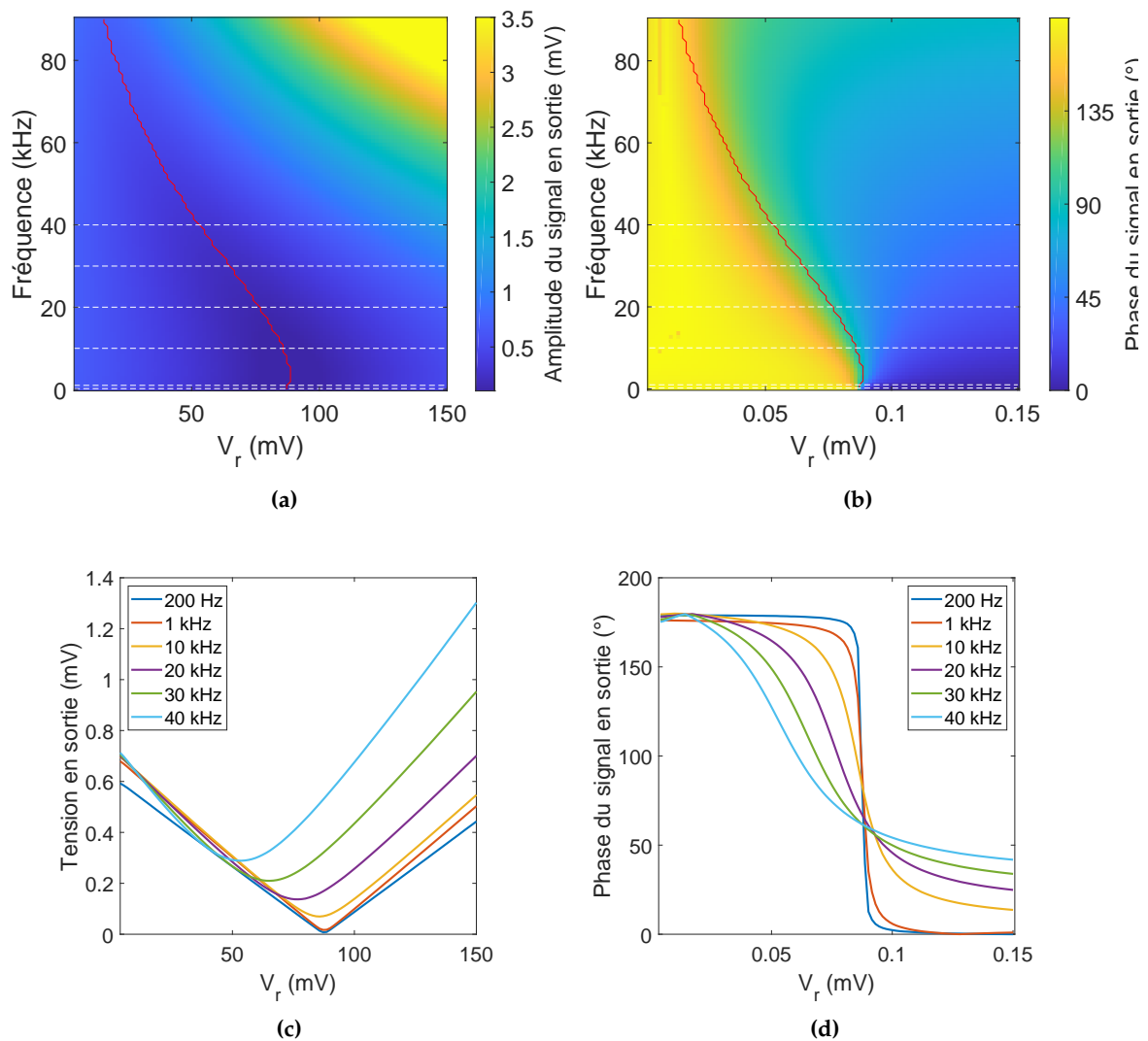


FIGURE 3.2 Résultats obtenus lors de l'équilibrage du pont avec $C_r = C_s = 0.1$ pF. L'amplitude V_r a été variée en gardant $V_s = 100$ mV et ce pour plusieurs fréquences allant de 100 Hz à 90 kHz. L'amplitude (a) et la phase (b) ont été mesurées. Les lignes rouges sur les deux graphiques illustrent le déplacement du minimum d'amplitude. En (c) et (d), on a extrait respectivement des traces en amplitude et en phase à plusieurs fréquences, la position desquelles sont identifiées par les lignes pointillées blanches en (a) et (b).

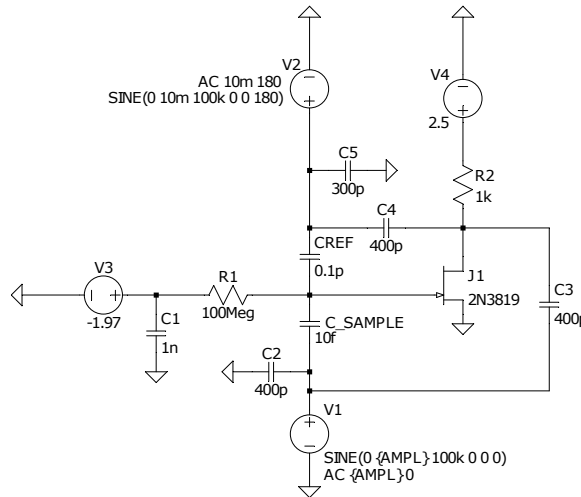


FIGURE 3.3 Modèle utilisé dans le logiciel LTSpice pour simuler le circuit lorsque les câbles utilisés sont mal isolés les uns des autres. Les entrées du circuit sont V1 et V2 et les couplages parasites entre celles-ci et la sortie sont représentés par les capacités C3 et C4.

similaire à celle qui est visible à la figure 3.2b. On observe en effet le même phénomène, c'est-à-dire que la position d'équilibre est la bonne à basse fréquence, puis s'éloigne de celle-ci progressivement lorsque la fréquence augmente. Il y a toutefois des différences mineures au niveau du type d'inflexion qui pourraient être causés par l'effet de la fréquence sur la phase, qui n'était pas ici pris en compte.

3.1.3 Mesure de la capacité totale

Tel que décrit à la section 1.4.5, il est possible de réaliser une estimation de la capacité totale du circuit à l'aide de la figure 3.2c. La courbe à basse fréquence représente dans ce cas la meilleure estimation de la véritable capacité totale du circuit, car pour les courbes à plus haute fréquence le circuit effectif n'est plus le même que ce qui a été initialement étudié. On peut alors lisser cette courbe à l'aide de l'équation

$$V_o = a|x - b| + c, \quad (3.1)$$

où a représentera la valeur absolue de la pente des deux côtés du point d'équilibre ($|\frac{\Delta V}{\Delta V_r}|$), b représentera la position du point d'équilibre, et c représentera la tension détectée en ce point. À partir de l'équation 1.27, on déduit que la valeur de la capacité totale correspond à

$$C_\Sigma = \frac{\alpha_{\text{HEMT}}}{a} C_r, \quad (3.2)$$

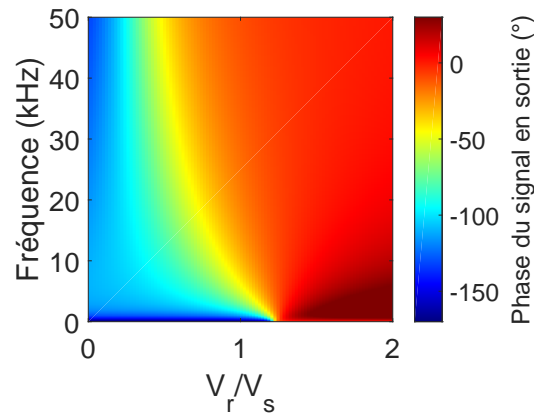


FIGURE 3.4 Simulation de la réponse en fréquence du pont avec couplage capacitif entre les deux signaux d'entrée et la sortie, tel qu'illustré à la figure 3.3. On voit que les déviations sont semblables aux résultats expérimentaux.

où α_{HEMT} est le gain en tension entre la grille et la tension en sortie du transistor. Notons que le gain du préamplificateur ne fait pas partie de cette équation simplement car on divise les données par ce dernier directement lors de l'acquisition. Dans le cas actuel, le lissage donne $a = (7.05 \pm 0.05) \text{ mV V}^{-1}$, et le gain du HEMT est d'environ 1/5 dans cette configuration, ce qui signifie que $C_{\Sigma} = (2.84 \pm 0.02) \text{ pF}$. Cela est une valeur qui est prometteuse, car elle est inférieure à la cible de 10 pF qui avait été fixée à la section 1.4.3. Une analyse plus approfondie à l'aide d'une autre méthode [47] a révélé que la majorité de cette capacité parasite provenait, sans grande surprise, de la superposition des traces avec le plan de masse.

3.1.4 Détection d'une différence de l'ordre de 100aF

On arrive alors au but de cette première expérience, qui était de s'assurer du fait qu'un pont capacitif utilisant les composantes choisies serait en mesure de détecter un changement de capacité de l'ordre de grandeur attendu.

Les mesures ont été effectuées en deux refroidissements consécutifs. Lors du premier, le pont était connecté au condensateur B1, ayant une capacité attendue de 830 aF (voir tableau D.1). Ensuite, l'échantillon a été réchauffé afin de modifier les microsoudures pour se connecter au condensateur A1, ayant une capacité attendue de 280 aF. Lors de chaque refroidissement, la courbe d'équilibre du pont à basse fréquence a été mesurée. La question était de voir si les courbes capturées lors des deux refroidissements seraient différentes, et si elles montreraient le changement de capacité attendu. On voit à la figure 3.5 qu'il y a en

effet plusieurs différences entre les deux courbes, la plus importante étant que la position du point d'équilibre n'est pas la même, et qu'on détecte bien un changement dans l'une des deux capacités. Les minimums se trouvent respectivement à des ratios V_s/V_r égaux à 6.661 ± 0.004 et 7.165 ± 0.005 , ce qui correspond respectivement à des valeurs de (15.012 ± 0.009) fF et (13.95 ± 0.01) fF. Les valeurs estimées sont plus élevées que ce que l'on avait prévu pour les condensateurs B1 (280 aF) et A1 (830 aF). Cependant, comme précédemment, cette différence correspond à ce qui peut être causé par le phénomène de diaphonie entre les lignes d'entrée et la ligne de sortie du circuit.

Il est tout de même intéressant de remarquer que la différence entre le point d'équilibre des deux mesures n'est que de (1.06 ± 0.02) fF. Il s'agit d'environ du double de la différence prévue (550 aF), mais plusieurs facteurs peuvent avoir influencé le résultat. Le premier mais non le moindre est le fait que la capacité de référence C_r a une valeur qui, selon les tolérances du fabricant [38] est de (100 ± 100) fF. Or, les calculs ci-haut ont été faits en supposant que l'on avait bien $C_r = 100$ fF. Si l'on avait plutôt vraiment que $C_r = 60$ fF, ce qui est tout à fait possible, alors on trouverait la différence attendue. De même, le fait que l'équation D.1 ne soit qu'une approximation peut causer des inexactitudes dans les valeurs attendues, et la différence peut ainsi être modifiée.

Même si l'expérience a donné une différence de capacité mesurée un peu plus élevée qu'attendue, on peut en tirer des informations intéressantes. Par exemple, on remarque qu'en comparant les tensions obtenues lors des deux mesures à la position d'équilibre de la première courbe, la différence de potentiel en sortie du pont est de $1.81 \mu\text{V}$, ce qui correspond à $18.10 \mu\text{V}$ à la grille du HEMT. Comme on sait de l'équation 1.24 que $\Delta V \propto \Delta C$, cela permet d'extrapoler et d'estimer le changement minimal qu'il est possible de mesurer étant donné la résolution en tension. Comme on estime être en mesure de détecter une modification de l'ordre de 20 nV , on aurait que le changement de capacité correspondant serait de 11.71 aF . Il y a cependant un bémol à prendre en compte. Lors de cette expérience, l'amplitude maximale qu'il était possible d'appliquer sur un échantillon n'était pas limitée, et en conséquence la tension oscillante appliquée sur le condensateur coplanaire était de l'ordre de 140 mV au point de balance. Cela est bien plus grand que les tensions qu'il sera possible d'appliquer sur une boîte quantique, qui seront au plus de l'ordre de la dizaine de millivolts, ou même du millivolt sur une grille fortement couplée. De réduire ainsi l'amplitude appliquée sur le dispositif diminuerait la sensibilité d'un facteur $\frac{1}{14}$, ce qui signifierait que le véritable changement de capacité le plus faible qu'il serait possible de mesurer sur un dispositif serait en fait de 164 aF . Cela n'est pas en soit mauvais, mais est insuffisant pour notre application (voir section 1.3.1). Il faut donc trouver comment améliorer la sensibilité du pont. Deux solutions potentielles existent : diminuer la capacité

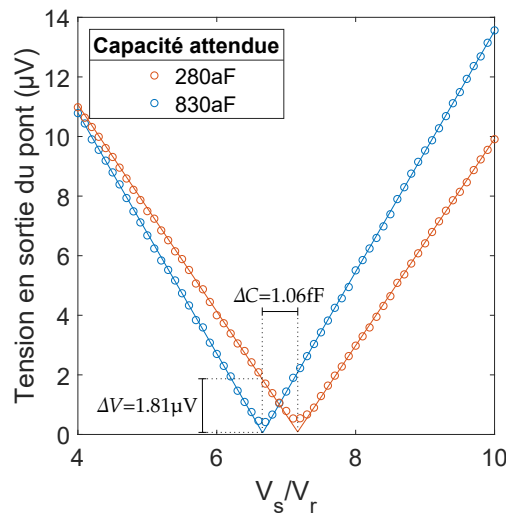


FIGURE 3.5 Courbes d'équilibre obtenues pour des valeurs attendues de $C_s = 830$ aF et $C_s = 280$ aF. Des lissages ont été effectués sur les données pour trouver les points exacts où l'amplitude aurait été minimale avec des phases parfaitement réglées.

totale du circuit ou augmenter le gain au niveau cryogénique. Ces deux facteurs sont considérés à la section suivante.

3.2 Deuxième prototype de circuit imprimé

3.2.1 Description du prototype

La deuxième génération de circuits imprimés (figure 3.6) comporte plusieurs modifications et améliorations par rapport au premier prototype. La première est l'apparition d'une prise à porte-échantillon (identifiée comme C_s sur la figure) permettant la connexion à un dispositif de boîte quantique. L'avantage premier de cette prise est le fait que les échantillons n'ont pas à être microsoudés directement sur le circuit imprimé, ce qui améliore la réutilisabilité du circuit tout en facilitant le transfert d'échantillons entre les différents cryostats et circuits imprimés du laboratoire. Tout autour de ce porte-échantillon se trouvent des cavaliers (communément connus sous leur nom anglophone *jumpers*) qui permettent de sélectionner les contacts sur lesquels sont connectés respectivement l'une des sources AC (cavaliers 1 à 8) et le point central du pont (9 à 16) : il suffit de souder les deux côtés d'un cavalier de chaque côté.

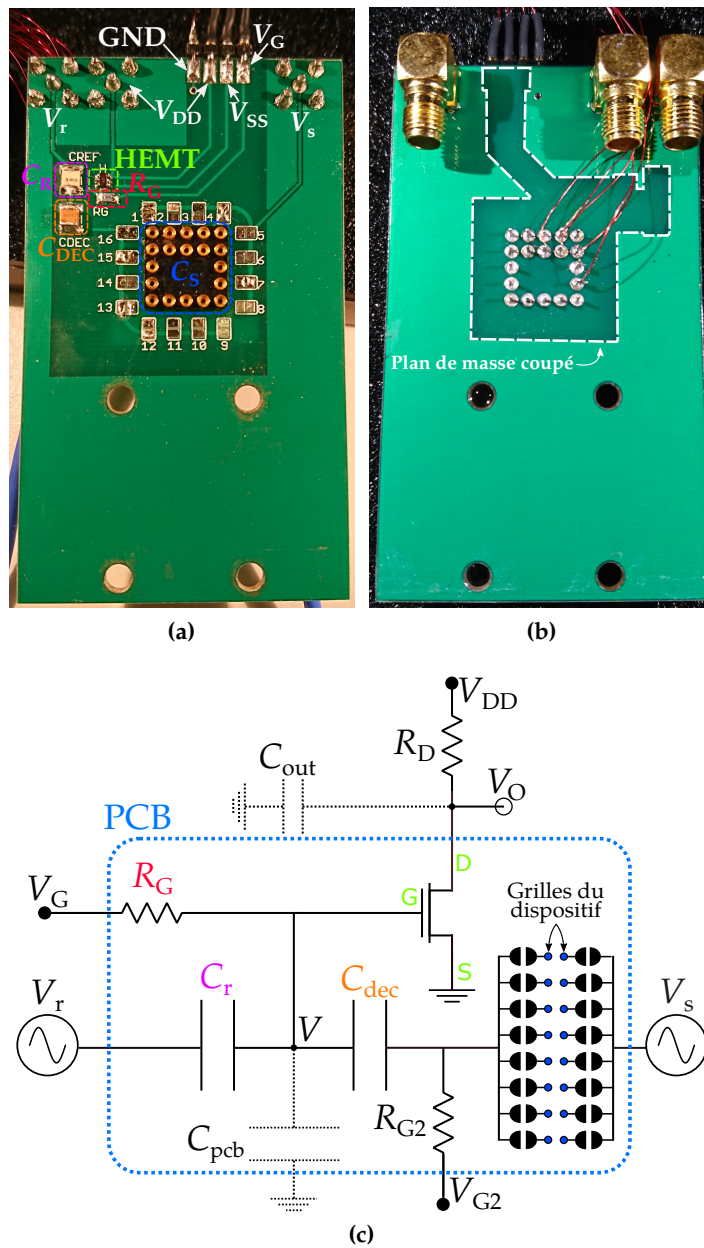


FIGURE 3.6 Deuxième version de la carte de circuit imprimé. (a), vue de l'avant du circuit, montrant les composants essentiels et le porte-échantillon. (b), vue de l'arrière du circuit, montrant l'arrière du porte-échantillon. (c), schéma électrique de cette version du PCB, illustrant clairement le rôle du nouveau condensateur C_{DEC} ainsi que le positionnement des cavaliers. Les cercles bleus au bout de ceux-ci représentent les plots de connexions où seront connectées les différentes grilles des dispositifs à tester. Les condensateurs en pointillés correspondent aux capacités parasites.

Un deuxième changement est que, à partir de cette version, le plan de masse est aussi coupé à des endroits stratégiques dans le but de réduire la capacité parasite, tel que décrit à la section 2.1.1. C'est d'ailleurs pourquoi différentes zones du circuit ont différentes couleurs de substrat. Les zones vert foncé correspondent aux endroits où le cuivre des plans a été retiré, tandis qu'il est toujours présent sous les zones vert clair.

Une autre modification majeure par rapport à la première version du circuit est l'ajout de connecteurs SMA pour l'application et la détection des signaux oscillants. Cela permet l'utilisation de câbles coaxiaux bien isolés les uns des autres au lieu des paires entrelacées utilisées dans la première version du circuit, ce qui devrait réduire considérablement la diaphonie entre les signaux V_r et V_s appliqués sur le pont et le signal en sortie, et donc éliminer la dépendance en fréquence observée précédemment (figure 3.2).

Une composante supplémentaire a aussi fait son apparition. Il s'agit du condensateur C_{DEC} , qui devient nécessaire lorsque le point central du pont est connecté à une des grilles d'un dispositif. Cette nouvelle nécessité provient du fait que des tensions DC différentes devront être appliquées sur la grille du dispositif et sur la grille du HEMT. En effet, comme on peut le remarquer à la figure 3.6c, en l'absence de ce condensateur, la grille du transistor et l'une des grilles du dispositif seraient connectées au même nœud du circuit, ce qui forcerait l'application de la même tension sur les deux grilles. La capacité de ce condensateur est choisie de sorte à être beaucoup plus grande que celles des condensateurs formant le pont, car cela assure que son effet sur les signaux oscillants traversant le pont est pratiquement nul (voir annexe B.4). En pratique, une capacité de 5.1 nF de la série ATC700B [38] a été choisie.

Un dernier élément important à remarquer à la figure 3.6c est le fait que la grille du dispositif est aussi maintenant connectée à une résistance. Celle-ci est nécessaire pour la même raison que celle qui est connectée à la grille du HEMT, c'est-à-dire pour former un filtre passe-bas empêchant la capacité à la masse de la ligne de biais DC de la grille côté pont de réduire la sensibilité du pont. De plus, comme aucun courant ne circule dans une grille, la résistance ne devrait avoir aucun effet notable sur la tension appliquée.

Il y a cependant un risque associé à ce nouveau circuit imprimé : la prise à porte-échantillon comporte 19 fiches circulaires métalliques près les unes des autres et qui seront donc couplées capacitivement. On peut en fait calculer [48] que la capacité entre deux fiches avoisinantes devrait être de

$$C = \frac{\pi\epsilon_0\epsilon_r}{\ln\left(\frac{d+\sqrt{d^2-4R^2}}{2R}\right)} L, \quad (3.3)$$

avec L la longueur des tiges, d leur séparation horizontale et R leur rayon. Pour deux plots

avoisinants sur le porte échantillon, on estime que $C \approx 0.55$ pF. Cette capacité pourrait affecter le comportement du pont. Par exemple, si les deux grilles sélectionnées pour effectuer la connexion à l'échantillon étaient connectées à deux plots avoisinants du porte-échantillon, cela causera un décalage du point d'équilibre du pont. De plus, ces couplages pourraient augmenter la capacité totale du circuit. Cependant, cet effet devrait être partiellement compensé par le retrait du plan de masse sous les emplacement critiques du circuit.

3.2.2 Évolution par rapport au premier prototype

Mesure de la capacité totale

On commence par se pencher sur la mesure de la capacité totale du nouveau circuit. Pour ce faire, on procède comme précédemment à la mesure d'une courbe d'équilibrage avec $C_r = C_s = 100$ fF. Le résultat obtenu est présenté à la figure 3.7, où l'on peut premièrement constater que la courbe est parfaitement de la forme attendue, et ce à la fréquence de 100 kHz. Le lissage des données retourne une pente de (1.182 ± 0.003) mV V⁻¹ et une position d'équilibre de (1.124 ± 0.001) mV. Sachant que, lors de cette mesure, le gain du HEMT était de 0.0488, on peut estimer à partir de l'équation 1.27 que la capacité totale du pont est de (4.12 ± 0.01) pF. C'est quelque peu supérieur à la valeur mesurée pour le premier prototype $((2.84 \pm 0.02)$ pF), mais cela semble aussi indiquer que l'effet de la prise à porte-échantillon sur la capacité totale a bien été compensé par d'autres améliorations sur le PCB.

Il est toutefois important de réaliser que le point d'équilibre dans cette configuration ne se situe pas à la position idéalement attendue. Comme l'amplitude de V_s est de 200 μ V, cela correspond à un ratio V_r/V_s de 5.62 ± 0.01 , alors que le ratio attendu était plutôt de 1. Cela correspond au phénomène décrit précédemment, où le couplage capacitif entre deux plots de connexions premiers voisins affecte la valeur de la mesure. On peut s'assurer que c'est bien le cas et caractériser les différentes contributions à la capacité totale en réalisant d'autres mesures avec le même circuit.

Pour ce faire, il suffit de modifier les connexions du côté de C_s et d'utiliser le circuit afin de mesurer des courbes d'équilibre. Par exemple, pour mesurer la valeur de couplage capacitif entre des plots premiers voisins, il suffit de retirer la capacité C_s de 0.1 pF, de sélectionner à l'aide des cavaliers deux contacts voisins sur le porte-échantillon et de refaire la mesure d'équilibrage. À l'aide de cette technique, on obtient les valeurs affichées dans le tableau 3.1. On constate donc que la valeur de C_s utilisée additionnée au couplage des plots donne

Source	Capacité (pF)
Capacité de grille du HEMT	0.5 ± 0.1
Plots premiers voisins sur le porte-échantillon	0.40 ± 0.05
Deux côtés d'un même cavalier non-soudé	0.20 ± 0.05

Tableau 3.1 Résumé des principales contributions à la capacité totale du second prototype. Les incertitudes affichées proviennent de la variabilité entre différentes composantes ou combinaisons, et non de l'imprécision du circuit de pont.

0.5 pF, ce qui résulterait bien en un ratio d'équilibre d'environ 5. Les deux autres contributions majeures proviennent des cavaliers qui n'ont pas été soudés du côté du point central du pont, puis du transistor lui-même, qui a certaines capacités C_{GS} et C_{GD} dont on a mesuré la somme à l'aide du pont capacitif commercial Andeen-Hagerling 2550A à température pièce. Une contribution du transistor de cet ordre était attendue. L'apport dû aux cavaliers provient quant à lui d'un couplage coplanaire similaire à ce qui avait été utilisé pour concevoir les condensateurs coplanaires précédemment. Cela avait été négligé lors de la conception initiale du prototype, mais une fois la mesure effectuée, il a été possible de simuler de telles capacités à l'aide d'équations empiriques [49-51] qui ont donné le bon ordre de grandeur. Les mêmes équations pourraient être utilisées lors de la conception d'un prototype subséquent pour assurer que ces contributions seraient minimales.

On remarque que la simple addition des contributions détaillées au tableau 3.1 ne donne pas la capacité totale de 4.12 pF mesurée. Cela provient simplement du fait qu'il y a plusieurs combinaisons de plots premiers voisins ainsi que plusieurs cavaliers qui entrent simultanément dans le calcul. Une fois ces effets comptabilisés, on obtient une valeur de (4.2 ± 0.2) pF, ce qui concorde avec la valeur mesurée par courbe d'équilibre. Cela semble aussi signifier que la capacité avec le plan de masse du PCB est quasi-nulle.

À la fin de la section précédente, il avait été mentionné que, pour parvenir à l'objectif de réaliser de la détection capacitive, il faudrait soit réussir à réduire la capacité totale du circuit ou à augmenter le gain du transistor. Il semble ici s'avérer que la réduction de la capacité totale est difficile à atteindre sur un prototype basé sur un circuit imprimé facilement adaptable, donc il faudra être en mesure d'augmenter le gain du transistor de manière conséquente. Toutefois, avant de s'attaquer à cela, vérifions que la dépendance en fréquence du circuit est, cette fois, celle qui était attendue.

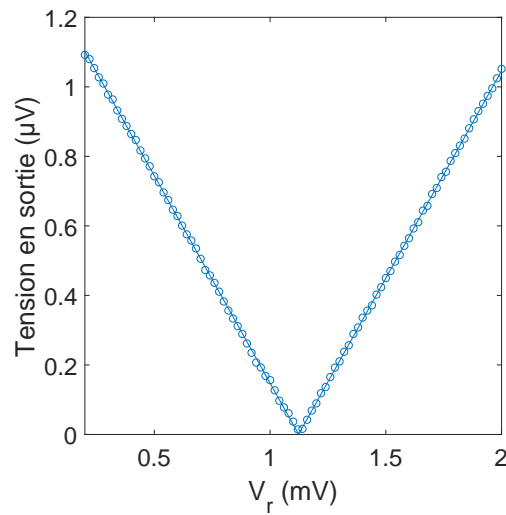


FIGURE 3.7 Courbe d'équilibrage permettant la mesure de la capacité totale du deuxième prototype de circuit imprimé obtenue avec les paramètres $C_r = C_s = 0.1$ pF et $V_s = 0.2$ mV. Les tensions affichées sont celles présentes à l'entrée du préamplificateur, mais incluent encore le gain dû au transistor.

Réponse en fréquence

La dépendance en fréquence du second prototype est illustrée à la figure 3.8 sous la forme de quelques courbes d'équilibrage capturées à des fréquences de 5 kHz à 1 MHz à l'aide de deux condensateurs commerciaux de 0.1 pF. On constate ici que les courbes ne montrent pratiquement aucune variation dans la position de leur point d'équilibre, surtout en comparaison avec les résultats obtenus avec le premier prototype (figure 3.2c), ce qui est le comportement attendu du pont capacitif. On remarque tout de même une certaine évolution à basse fréquence, qui fait passer le ratio d'équilibre de 6.7 à 5 kHz jusqu'à 6.05 à 50 kHz, où il y a enfin stabilisation. Cette évolution est due à de légères différences dans la transmission des deux lignes à basse fréquence, mais l'effet est suffisamment faible pour qu'il ne soit pas véritablement important pour notre cas d'utilisation. Notons finalement qu'aucune courbe n'est présentée à une fréquence inférieure à 5 kHz, car le signal devenait alors très bruyant, ce qui rendait la mesure difficile.

3.2.3 Optimisation du gain du transistor

Il reste seulement à s'intéresser à l'optimisation du gain du HEMT. Il est ici sujet d'optimisation et non de simple maximisation, car certaines contraintes doivent être respectées. La plus importante est la dissipation thermique. Comme la puissance de

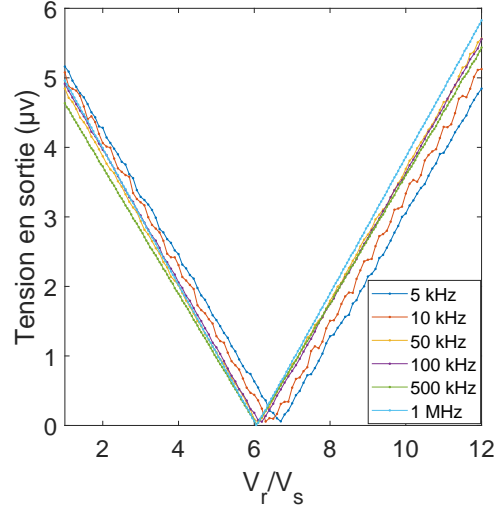


FIGURE 3.8 Dépendance en fréquences des courbes de balance du deuxième prototype de 5 kHz à 1 MHz.

refroidissement d'un réfrigérateur à dilution à l'étage le plus froid est typiquement de l'ordre de $10 \mu\text{W}$ et qu'il y a aussi d'autres sources de dissipation¹ dans de tels systèmes, on voudrait idéalement que la dissipation thermique due au transistor soit inférieure à $1 \mu\text{W}$.

De plus, il faut éviter que la résistance de drain soit trop élevée, car c'est celle-ci qui règle la valeur d'impédance de sortie du circuit. Si cette dernière est similaire à celle du lock-in utilisé pour la lecture ($10 \text{ M}\Omega$), il en résultera une division de potentiel qui aura pour effet de réduire le gain effectif du transistor. Additionnellement, la dissipation thermique sera à son plus faible si la résistance de drain est laissée à l'extérieur du cryostat, mais, en contrepartie, cela réduira la bande-passante en sortie si la résistance est trop élevée. On peut comprendre cela en remarquant que, dans cette configuration, R_D et la capacité du câble de sortie (C_{out}) forment ensemble un filtre RC parallèle ayant comme entrée le courant (I_D) du transistor. On peut modéliser ce filtre passe-bas comme étant [52] :

$$A_v(\omega) = \frac{A_{v,\text{LF}}}{1 + j\frac{f}{f_H}}, \quad (3.4)$$

où $A_v(\omega)$ est le gain du transistor, $A_{v,\text{LF}}$ est sa valeur asymptotique à basse-fréquence, et où

$$f_H = \frac{1}{R_S C_{gs} + R_S C_{gd}(1 + g_m R_{\text{out}}) + R_{\text{out}} C_{\text{out}}} \quad (3.5)$$

1. Celles-ci sont principalement de sources électrique, comme un courant traversant un échantillon, ou mécanique, par exemple le frottement d'un fil sur une plaque du réfrigérateur.

est la fréquence de coupure (-3 dB). Les paramètres présents dans cette équation sont les paramètres standards du modèle faible signal d'un FET source-commune. Cependant, c'est le dernier terme du dénominateur qui domine dans le cas actuel, ce qui ne demande pas de s'attarder aux autres.

Tout comme dans un autre article de la littérature [40], une résistance de $100\text{ k}\Omega$ fut sélectionnée comme étant le meilleur compromis possible. La détermination des tensions de polarisation optimales s'est quant à elle faite en réalisant premièrement un balayage 2D de V_G et de V_{DD} en mesurant V_D en DC. Par application de l'équation 2.4, la dissipation de puissance pour toutes les combinaisons peut être extraite (figure 3.9a). On remarque alors qu'elle suit des équipotentielles de forme semi-elliptiques, et que la dissipation devient rapidement élevée lorsque le canal est fortement pincé. Par la suite, un second balayage des mêmes paramètres est effectué, mais cette fois un faible signal oscillant est ajouté à la tension V_G et la tension V_D est mesurée au lock-in afin d'en extraire le gain AC (figure 3.9b). Notons que l'axe horizontal de cette figure n'est pas exactement le même que celui de la figure 3.9a, car il était inutile de mesurer le gain AC dans une région où la dissipation de puissance devenait rapidement trop élevée. De plus, dans ce régime, le réfrigérateur réchauffait, ce qui aurait pu invalider les résultats, car le gain du HEMT change avec la température. En comparant les deux graphiques, il est possible de trouver des paramètres donnant à la fois un gain élevé et une dissipation thermique faible. Les tensions de polarisation déterminées comme étant optimales sont $V_{DD} = 724.9\text{ mV}$ et $V_G = -360.9\text{ mV}$, ce qui donne un gain de 5.277 V/V et une dissipation thermique de 210 nW .

Cela constitue une amélioration suffisante du gain par rapport au premier prototype pour s'attendre à être en mesure de détecter des changements de l'ordre de la dizaine d'attofarads. En effet, le gain est ici environ 150 fois plus élevé que pour le premier prototype, alors que les tensions qui seront appliquées seront environ 140 fois plus faibles. Les deux changements se compensent donc exactement et on peut s'attendre au même genre de sensibilité qu'à la section 3.1.4, mais, cette fois, avec des signaux d'excitation beaucoup plus faibles. On peut aussi noter au passage qu'avec ce modèle de transistor, les problèmes d'instabilité et de bruit dans le régime de saturation qui avaient été rapportés dans la littérature [33] ne semblent pas présents. Il s'avère ainsi très avantageux de ne pas travailler dans le régime linéaire.

En ce qui a trait à la dépendance en fréquence du gain, on obtient une courbe dans laquelle apparaissent à la fois les comportements d'un filtre passe-haut et d'un filtre passe-bas (figure 3.10). Le filtre passe-bas provient, comme attendu, du circuit RC formé dans la ligne de drain du transistor. Il serait possible de s'en débarrasser, moyennant une dissipation thermique supérieure dans le réfrigérateur, en rapprochant R_D du transistor au maximum.

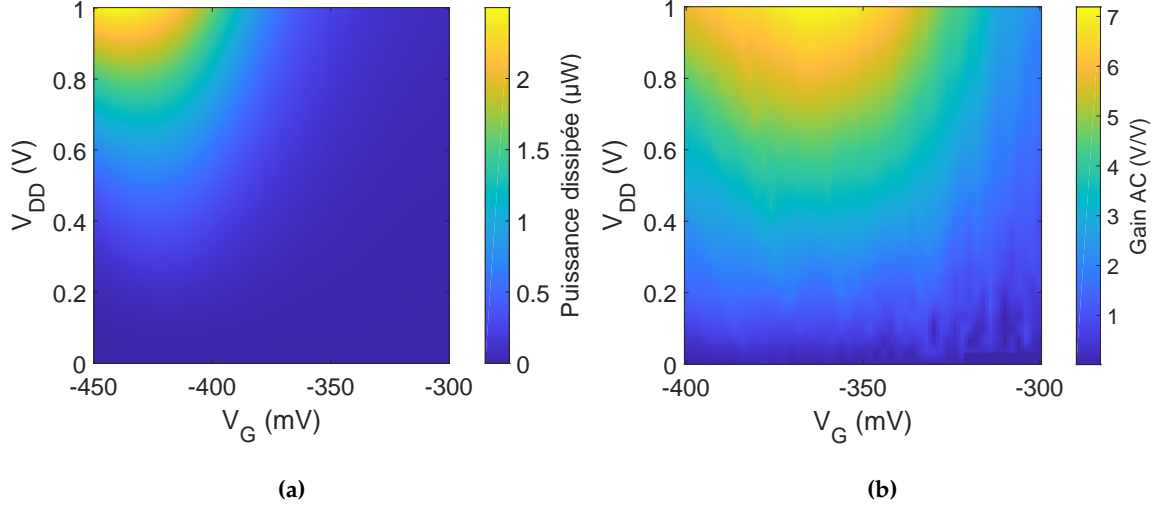


FIGURE 3.9 (a), Mesure de la dissipation de puissance DC par le transistor pour différentes tensions de polarisation. $R_D = 100 \text{ k}\Omega$ et $T = 8 \text{ mK}$. La dissipation par R_D n'est pas comptabilisée ici comme elle se trouve à l'extérieur du cryostat. (b) Gain AC du transistor pour des tensions de polarisation du même ordre.

Le filtre passe-haut est quant à lui formé par les composantes présentes aux entrées du circuit, notamment les condensateurs de référence et les résistances de grille R_G et R_{G2} . On peut en fait remarquer à la figure 3.6c que ceux-ci forment un filtre RC série de premier ordre, ce qui donnerait une réponse en fréquence de la forme

$$|V_{\text{out}}| = |V_{\text{in}}| \frac{R}{\sqrt{R^2 + X_C^2}}, \quad (3.6)$$

avec $X_C = \frac{1}{\omega C}$, la réactance du condensateur d'entrée. Cependant, la situation est ici légèrement complexifiée par l'introduction de la capacité parasite à la masse du circuit, qui se trouve à être en parallèle avec les résistances de grille. Celle-ci fait en sorte que la tension au point central du pont sature à des fréquences plus faibles que pour le simple circuit RC série, et la réponse en fréquence devient plutôt de la forme

$$|V_{\text{out}}| = |V_{\text{in}}| 2\pi f \frac{CR}{\sqrt{1 + 4(C_{\text{par}} + C)^2 f^2 \pi^2 R^2}}, \quad (3.7)$$

où C est la capacité du condensateur d'entrée utilisé, et R la résistance équivalente de toutes les composantes résistives connectées au centre du pont (voir annexe B.3 pour le

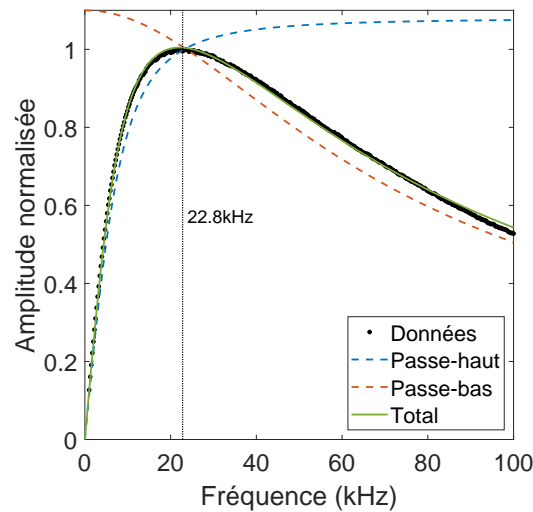


FIGURE 3.10 Dépendance en fréquence du prototype 2 avec $R_D = 100\text{ k}\Omega$ à l'extérieur. L'amplitude affichée a été renormalisée pour que le maximum mesuré corresponde à une valeur de 1. Les lissages passe-haut et passe-bas ont été obtenus à l'aide des équations 3.7 et 3.4 respectivement. Le lissage total est la multiplication des deux.

développement complet). Les lissages des données présentés à la figure 3.10 ont été obtenus à l'aide de cette équation pour la partie passe-haut et de l'équation 3.4 pour la partie passe-bas. Un lissage cumulatif correspondant à la multiplication des deux courbes est aussi présenté et correspond bien aux données. Les paramètres déterminés par MATLAB correspondent aussi raisonnablement bien aux paramètres du prototype, ce qui confirme que les phénomènes sont bien compris. Il est alors intéressant de remarquer que, selon les deux lissages, le maximum du signal en sortie devrait être 1.07 fois plus élevé que celui qui est observé expérimentalement, la différence étant due à la dépendance en fréquence à la sortie du circuit. Comme la différence est faible, cela signifie qu'à la fréquence optimale de 22.8 kHz, le comportement du pont est très près de celui qui est attendu idéalement et qu'il s'agirait d'un bon point de travail. L'optimisation du gain du transistor a d'ailleurs été effectuée à cette fréquence.

Chapitre 4

Mesures capacité-tension d'un transistor monoélectronique

Maintenant qu'on dispose d'un circuit de pont capacitif fonctionnel auquel un dispositif réel peut être connecté, on peut s'intéresser aux applications potentielles qui ont motivé sa création, en commençant par la prise de mesures capacité-tension à des températures cryogéniques. Le dispositif testé ici est un transistor monoélectronique. On expliquera d'abord dans cette section comment les connexions vers le dispositif ont été effectuées, puis on explorera les résultats obtenus.

4.1 Méthodologie

L'échantillon utilisé pour les expériences de mesure capacité-tension est de la même famille que celui qui a été présenté à la figure 2.4, c'est-à-dire une double boîte quantique comprenant un transistor monoélectronique ainsi qu'un point de contact quantique. Pour l'expérience de mesure capacité-tension, le transistor monoélectronique sera la seule structure utilisée, mais il ne sera pas nécessaire de l'opérer dans le régime de blocage de Coulomb, car seule l'accumulation du gaz bidimensionnel d'électrons est importante pour la mesure capacité-tension.

Le deuxième prototype de circuit imprimé est utilisé dans le montage présenté à la figure 2.5. Ce qui n'est pas défini sur ce schéma est toutefois à quelles grilles du dispositif connecter la source du côté dispositif et le reste du pont. En fait, il suffit de s'inspirer des mesures réalisées sur des transistors conventionnels. Comme il n'est pas ici possible de se

connecter au substrat semi-conducteur directement, l'approche *split-gate* (figure 1.12b) sera utilisée, c'est-à-dire que les connexions seront effectuées sur la grille d'accumulation ainsi que sur les deux contacts ohmiques situés à chaque extrémité du canal de conduction. Il devrait donc être possible d'observer le type de courbe C-V pour laquelle la capacité est minimale en régime d'accumulation, augmente graduellement en régime de déplétion, et devient maximale en régime d'inversion.

Évidemment, si l'on connecte les deux contacts ohmiques du transistor au même point du pont, il sera impossible pour un courant de le traverser, ce qui empêche en conséquence d'obtenir une confirmation de la mesure C-V (le courant dans le dispositif devrait apparaître près du début du régime d'inversion). Afin de pouvoir confirmer les résultats obtenus, deux séries de mesures ont été réalisées. La première a servi à caractériser le transistor monoélectronique en l'absence du pont capacitif, puis la seconde à effectuer la mesure capacité-tension avec les deux contacts ohmiques court-circuités.

Finalement, une troisième série de mesures a été réalisée dans une configuration exploratoire où le pont a encore été connecté à la grille d'accumulation d'un côté, mais à l'une des grilles de déplétion (UR) au lieu des contacts ohmiques de l'autre côté. Normalement, comme ces deux grilles sont couplées au gaz d'électron bidimensionnel, il devrait être possible d'observer des changements reliés à l'inversion de charge dans leur capacité mutuelle. Cela a été effectué dans le but de déterminer si une configuration n'utilisant pas les contacts ohmiques pouvait être viable pour la réalisation de mesures de détection de charge.

4.2 Résultats et analyse

4.2.1 Acquisition à partir de la grille d'accumulation et des contacts ohmiques

Analyse de la courbe à 100 kHz, 1.5 K

Commençons par présenter les mesures faites dans la configuration *split-gate* standard. En équilibrant le pont à $V_{\text{ASET}} = 0 \text{ V}$ puis en balayant ensuite cette même tension de -1 V à 3 V , on obtient une courbe qui répond aux attentes expérimentales (figure 4.1a), c'est-à-dire où l'on est en mesure d'observer clairement les régimes d'accumulation ($V_{\text{ASET}} < 0 \text{ V}$), de déplétion ($0 \text{ V} < V_{\text{ASET}} \lesssim 1.2 \text{ V}$) et d'inversion ($V_{\text{ASET}} > 1.2 \text{ V}$). Une caractéristique surprenante est toutefois l'apparition de plateaux dans le régime de déplétion. De tels plateaux signifient que les variations de charge induites par la tension oscillante sur la grille sont constantes, et donc que peu ou aucune charge n'est ajoutée dans ces domaines de

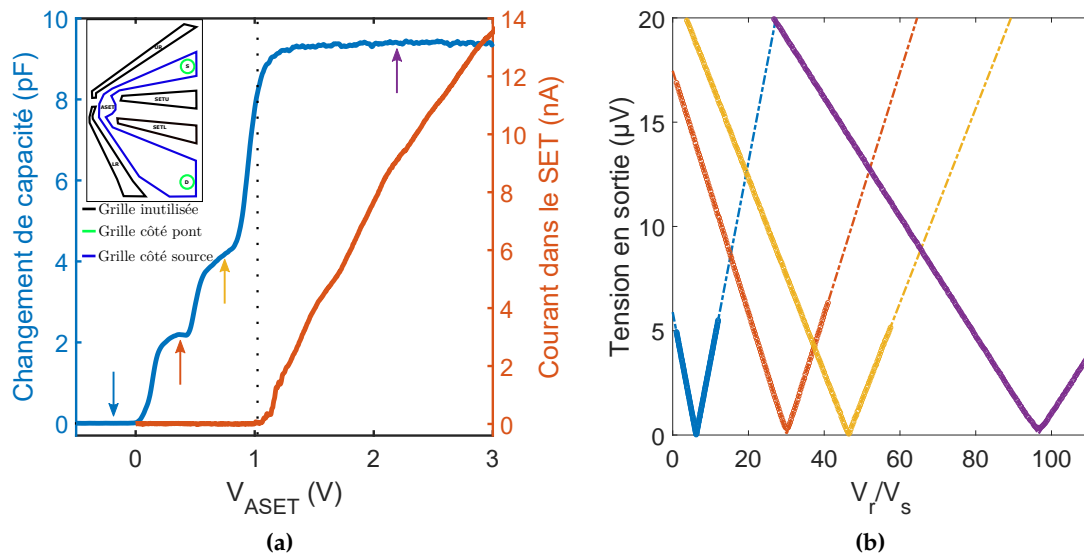


FIGURE 4.1 (a), courbe d'accumulation obtenue par mesure C-V de type split-gate sur un SET à 1.5 K. La fréquence utilisée est de 100 kHz et les amplitudes AC sont de 0.2 mV sur ASET et de 1.2 mV sur C_r . Les flèches pointent les endroits où les courbes d'accumulation présentées en (b) ont été tracées. Ces dernières ont été extrapolées (parties pointillées) afin de faciliter la comparaison de leurs pentes.

tension DC sur ASET. L'explication la plus plausible de ce phénomène est simplement que différentes zones du canal ont différentes tensions de seuil pour l'accumulation d'électrons. Ce genre de phénomène n'est pas habituellement observé dans des transistors à effet de champ à température pièce, mais n'est pas impossible à température cryogénique, où les électrons n'ont que très peu d'énergie thermique et sont donc plus facilement contraints. Remarquons aussi que le courant (courbe orange de la figure 4.1a) ne commence à circuler que lorsque le plateau de capacité final est atteint, et même pour V_{ASET} un peu plus faible. Bien sûr, cette différence pourrait simplement apparaître car les courbes ont été acquises lors de refroidissements différents, ce qui est susceptible de causer des variations des tensions de seuil. Cela correspond bien aux attentes expérimentales, car le dernier plateau de capacité correspond à la formation d'un canal complet entre les deux contacts ohmiques, ce qui permet au courant de circuler. La valeur du changement de capacité par rapport à $V_{ASET} = 0$ V en ce plateau final est de 9.42 pF, ce qui est très similaire à la valeur de 11.3 pF estimée connaissant les paramètres de fabrication du SET.

À partir de ces résultats, on peut aussi vérifier quelques autres attentes expérimentales. Par exemple, la valeur du changement de capacité a été calculée à l'aide de l'équation 1.25, or, il est possible de confirmer la validité de cette équation en traçant les courbes d'équilibre

V_{ASET} (V)	Capacité extraite par : (pF)		
	Éq. standard (1.25)	Position du pt. d'équilibre	Capa. totale (1.27)
-0.2	Référence	0.62 (réf.)	4.02 (réf.)
0.376	2.191	3.00 (+2.38)	6.62 (+2.60)
0.728	4.128	4.64 (+4.02)	8.19 (+4.17)
2.16	9.392	9.66 (+9.04)	13.40 (+9.38)

Tableau 4.1 Comparaison des résultats obtenus avec différentes méthodes d'estimation de la capacité du SET pour différentes tensions V_{ASET} . La première méthode utilise l'équation standard de fonctionnement du pont, la seconde est basée sur la position du point d'équilibre, et la troisième estime la capacité totale en passant par la pente des courbes d'équilibre. Les nombres entre parenthèses sont les différences entre la valeur totale et la première valeur de la colonne.

pour différentes tensions V_{ASET} et d'observer le déplacement du point d'équilibre (figure 4.1b). De plus, comme la capacité parasite à la masse du second prototype est du même ordre que le changement de capacité ici observé, l'équation 1.21 prévoit des changements importants de la pente des courbes d'équilibre. Ces quantités sont présentées pour chaque courbe de la figure 4.1b au tableau 4.1. On voit qu'en général l'accord entre les trois méthodes d'estimation est bon. On remarque toutefois que les résultats obtenus à l'aide de la position du point d'équilibre sont toujours légèrement inférieurs à ceux obtenus à l'aide des autres méthodes. La cause la plus probable de cette différence est une légère imprécision sur la valeur du gain du transistor utilisée pour les calculs avec ces méthodes. Il n'est pas possible de mesurer le gain AC de manière fiable lorsque le transistor est monté dans le circuit de pont capacitif, ce qui force l'utilisation d'une valeur calibrée lors d'un refroidissement antérieur, cependant, il est entièrement possible que cette valeur varie légèrement d'un refroidissement à l'autre. Le fait que les méthodes 1 et 3 s'accordent aussi très bien l'une avec l'autre pointe dans la même direction. Cela signifie qu'une méthode de calibration envisageable pour les mesures futures pourrait être d'ajuster la valeur utilisée du gain du transistor à l'aide de l'évolution de la position du point d'équilibre. Toutefois, une telle manipulation ne serait nécessaire que lorsque les changements de capacité mesurés sont du même ordre ou plus grands que la capacité totale du circuit. Dans le cas contraire, la pente des courbes ne variera pas de manière conséquente entre deux points, et d'être en possession d'une seule courbe d'équilibrage serait suffisant pour que l'analyse soit effectuée sans même connaître le gain du transistor : il suffit d'imaginer que la courbe change de point d'équilibre sans changer de pente pour comprendre pourquoi.

Notons finalement qu'en appliquant des tensions négatives bien choisies sur les grilles de

déplétion du transistor monoélectronique, il aurait pu être possible d'observer du blocage de Coulomb. Or, cela a été tenté et aucune réponse dans le pont n'était visible. La cause principale de ce résultat négatif est certainement le fait qu'à 1.5 K, les excitations thermiques ont rendu impossible l'obtention des pics de transport très minces qui sont souhaitables pour la détection avec le pont. Il a donc été décidé de retenter la mesure à des températures plus faibles et avec des connexions légèrement différentes, ce qui sera le sujet du dernier chapitre.

Dépendance en fréquence et en température

Les mesures capacité-tension peuvent révéler différents phénomènes à différentes fréquences et à différentes températures (figure 4.3a). Le but de ces mesures était de démontrer la possibilité d'observer de tels effets à l'aide du pont capacitif. Étant donné qu'une analyse détaillée de ces phénomènes pourrait représenter un mémoire en tant que tel, on se contentera ici de présenter les résultats obtenus en les accompagnant d'explications sommaires.

Pour bien démontrer le premier effet, les courbes capacité-tension ont été capturées à différentes fréquences d'excitation du pont. Quelques courbes représentatives ont été sélectionnées (figure 4.2) et permettent d'observer deux phénomènes : premièrement, la valeur maximale obtenue en régime d'inversion diminue avec la fréquence et, deuxièmement, les transitions entre les différents plateaux deviennent de moins en moins abruptes. Il s'avère que cela est un phénomène attendu dans les structures de type MOSFET, car il faut un certain temps pour que les charges d'inversion soient fournies par les contacts ohmiques en réponse à une variation du potentiel de grille. Cela est causé par le fait que les contacts ohmiques et le canal du transistor possèdent une certaine résistance ainsi qu'une certaine capacité vers leur environnement, ce qui limite le temps de réponse possible à la manière d'un filtre RC. Cet effet est théoriquement modélisable comme étant [53] :

$$C = \frac{C_{ox}C_{ch}}{C_{ox} + C_{ch} + C_b} \operatorname{Re} \left(\frac{\tanh(\lambda)}{\lambda} \right), \quad (4.1)$$

avec

$$\lambda = \sqrt{j\omega\tau}, \quad (4.2)$$

où τ est le temps caractéristique relié au canal. La première partie de cette expression représente simplement la capacité mesurée entre la grille et le canal comme étant la capacité équivalente d'un assemblage de différentes capacités en parallèle et en série¹. La

1. Ici, C_{ox} est la capacité reliée à l'épaisseur d'oxyde, C_{ch} est la capacité entre les contacts ohmiques et le canal et C_b est la capacité entre la grille et le substrat

partie intéressante pour la dépendance en fréquence est le terme qui fait intervenir le paramètre λ , qu'on peut réécrire sans faire appel aux nombres complexes :

$$\operatorname{Re} \left(\frac{\tanh(\lambda)}{\lambda} \right) = \frac{1}{\sqrt{2\omega\tau}} \frac{\sin(\sqrt{2\omega\tau}) + \sinh(\sqrt{2\omega\tau})}{\cos(\sqrt{2\omega\tau}) + \cosh(\sqrt{2\omega\tau})} \quad (4.3)$$

Cela implique que pour des fréquences similaires ou plus élevées que $1/\tau$, les changements de capacité mesurés seront plus faibles et les différentes transitions seront adoucies. On constate d'ailleurs que la courbe à 1 MHz perd un de ses plateaux intermédiaires, ce qui signifie que les zones du canal qui génèrent normalement ces changements ont des temps caractéristiques extrêmement lents par rapport à 1 MHz. Il est aussi possible de lisser les valeurs normalisées des maximums des courbes obtenues en utilisant l'équation 4.3 (figure 4.2b) où l'on observe un bon accord entre l'expérience et la théorie. Le paramètre τ déterminé par lissage correspond à une fréquence de (140 ± 20) kHz, ce qui signifie qu'il est préférable de rester bien en deçà de cette valeur lors des mesures C-V.

Ensuite, en ce qui a trait à la température, les résultats sont un peu moins faciles à interpréter, mais il est tout de même évident que des changements importants surviennent (figure 4.3a). Le premier effet remarquable est la variation plutôt importante de la valeur du maximum du changement de capacité d'une courbe à l'autre. Cet effet n'en est en fait peut-être pas un, car il était difficile de caractériser l'évolution du gain du transistor entre les différentes courbes. On observe cependant deux autres effets certainement réels, soit le déplacement du seuil de déplétion vers des tensions V_{ASET} plus négatives et l'adoucissement des courbes. Le déplacement des valeurs de seuil vers des tensions plus basses a déjà été observé par mesure du courant dans des dispositifs MOS refroidis jusqu'à des températures cryogéniques [54] comme étant un phénomène non-linéaire causé par le déplacement effectif du niveau de Fermi de plus en plus près de la bande de valence en réaction à une diminution de la température. Dans [54], le taux de diminution du seuil de conduction du SET était linéaire de 300 K jusqu'à 70 K, puis augmentait brusquement sous cette température. Cela est très similaire aux résultats obtenus avec le dispositif actuel (figure 4.3b), pour lequel les tensions de seuil ont été mesurées comme étant les abscisses à l'origine des prolongements des premières augmentations de la capacité (voir encart de la figure 4.3a). Une des seules différence est que, ici, le changement de régime semble plutôt se situer autour de 50 K.

L'adoucissement des courbes à haute température peut quant à lui être causé par le fait que les électrons possèdent des énergies d'excitation thermique supérieures, ce qui leur permet d'occuper des régions précédemment inaccessibles dans le diagramme de bandes. Cet effet pourrait aussi être accompagné de changements au niveau de la résistance du canal, ce qui

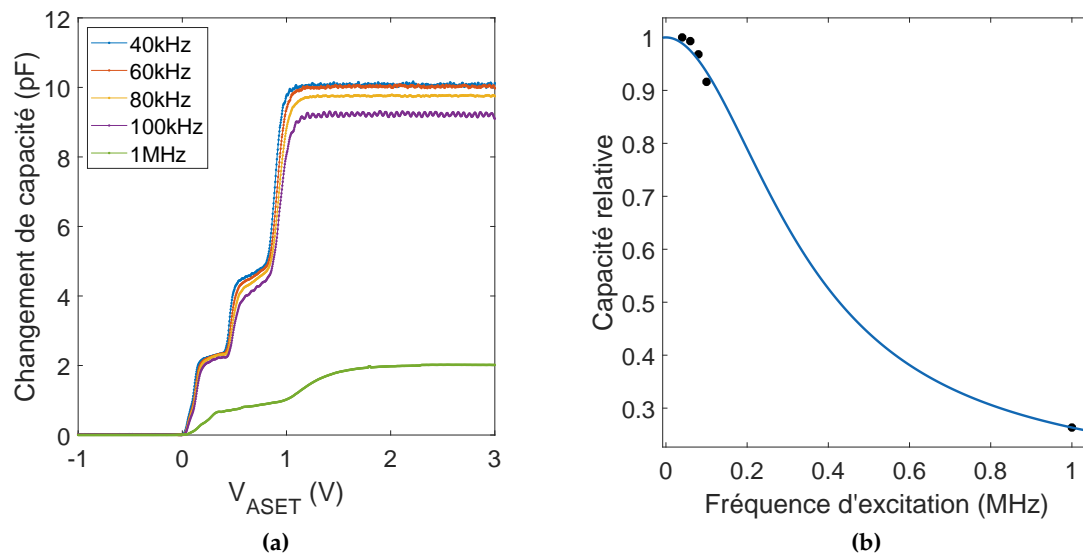


FIGURE 4.2 (a) Dépendance en fréquence (à 1.5 K) de la courbe d'accumulation C-V du SET. (b) Lissage des valeurs normalisées des maximums des courbes C-V pour les différentes fréquences mesurées à l'aide de l'équation 4.3. Les incertitudes sur les valeurs sont plus petites que la taille des points.

modifierait la vitesse à laquelle celui-ci pourrait répondre à la tension oscillante appliquée et influencerait donc sur la forme des courbes.

4.2.2 Acquisition à partir de la grille d'accumulation et d'une grille de déplétion

Le but de cette manipulation était principalement de déterminer s'il fallait s'attendre à ce qu'une connexion à des contacts ohmiques soit absolument nécessaire lors des mesures de détection de charge, ou s'il était plutôt possible d'obtenir un signal semblable à celui de la figure 4.1a à l'aide de deux grilles. L'idée sous-jacente est que les grilles sont à la fois couplées électrostatiquement entre elles, mais aussi au canal lui-même. Ainsi, il est raisonnable de s'attendre à ce que l'accumulation d'électrons dans le canal modifie les propriétés de conduction électrique entre les deux grilles d'une manière détectable par le pont.

Les grilles choisies pour tester cette hypothèse étaient celles qui démontraient les couplages capacitifs les plus importants avec le canal du SET, soit ASET et UR (représentées respectivement en bleu et en vert dans l'encart de la figure 4.4a). Comme ce sont les plus fortement couplées, ce sont ces grilles qui devraient être les plus susceptibles à des

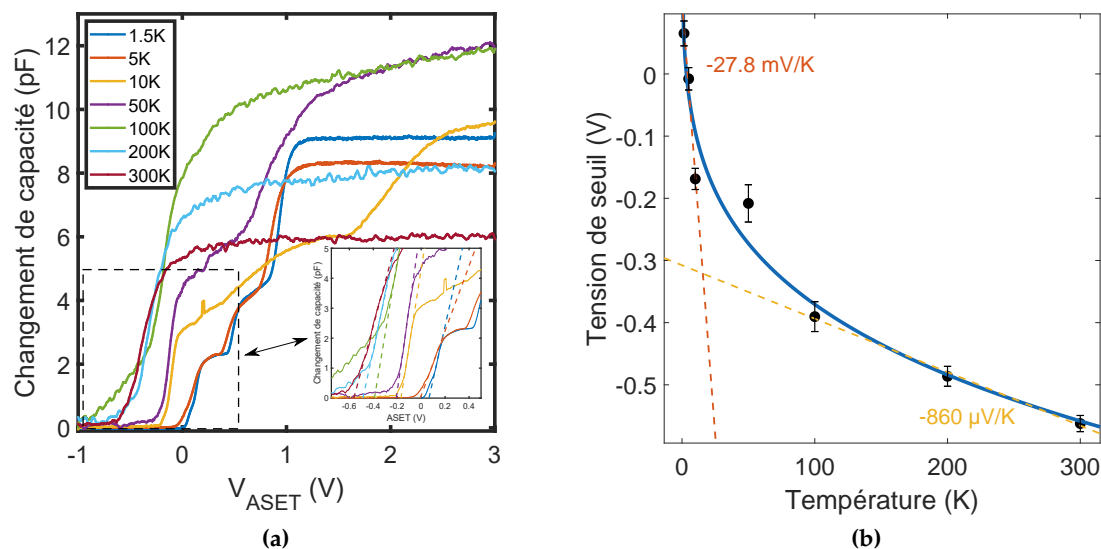


FIGURE 4.3 (a) Dépendance en température (à 100 kHz) de la courbe C-V du SET. (b), Tensions de seuil de déplétion pour différentes températures telles qu’extraites comme démontré dans l’encart de (a). La ligne courbe n’est qu’un guide pour l’œil, tandis que les lignes pointillées montrent les limites à basse et haute températures.

changements dans le canal. Leur couplage mutuel a été mesuré en traçant une courbe d’équilibre à $V_{ASET} = 0$ V comme étant de (43.99 ± 0.08) fF.

La figure 4.4a compare la courbe C-V ainsi obtenue au courant qui circulait dans le SET sous un biais source-drain de 320 μ V, montrant qu’il semble encore y avoir une corrélation, quoique moins claire, entre la stabilisation éventuelle de la courbe en capacité à une valeur extrême et la tension de seuil du courant. Cependant, la nouvelle courbe est très différente de celle obtenue dans la configuration *split-gate* (figure 4.4b). Premièrement, on remarque que le signe du changement de capacité s’inverse dans la mesure faite avec les grilles alors que ce n’était pas le cas dans la mesure *split-gate*. De plus, les valeurs mesurées sont environ deux ordres de grandeur plus faibles que lors de la précédente mesure, et il ne semble pas y avoir de signature correspondant aux deux plateaux intermédiaires qui étaient présents dans le régime de déplétion. Il y a toutefois aussi quelques ressemblances entre les deux courbes, notamment le fait que les deux sont nulles pour $V_{ASET} < 0$ V et convergent de la même manière jusqu’à leur valeur finale pour $V_{ASET} > 0.8$ V, ce qui correspond au seuil d’inversion du dispositif.

Essayons maintenant d’interpréter ces résultats. Le plateau présent à $V_{ASET} < 0$ V a une explication simple : le dispositif est alors déjà en régime d’accumulation, donc une

diminution de la tension V_{ASET} ne modifie pas outre-mesure la population dans le dispositif et on ne s'attend donc pas à un changement de capacité. Le reste de la courbe n'a cependant pas d'interprétation certaine. On sait toutefois avec certitude que, pour $V_{\text{ASET}} > 0$ V, des électrons sont attirés sous la grille ASET. Il serait donc probable que des zones du canal forment initialement des « flaques » d'électrons qui seraient en mesure de transmettre un courant AC de la grille ASET jusqu'à la grille UR. Cela correspondrait à une augmentation de la capacité telle qu'observée entre 0 V et 0.8 V. Cependant, il est aussi possible pour un courant de passer par les contacts ohmiques. Cela est en fait préférable pour un courant oscillant, car il s'agit d'un chemin de très basse impédance vers la masse, surtout en comparaison avec des capacités de quelques femtofarads à 100 kHz. Ainsi, lorsque les flaques d'électrons se combinent pour former un canal complet, le courant qui passe de ASET vers le canal n'est pas transféré vers UR, mais circule plutôt au-travers des contacts ohmiques, où il ne contribue plus au fonctionnement du pont. À partir de $V_{\text{ASET}} \approx 0.8$ V, c'est ce qu'il se passe, et la capacité se met alors à diminuer. Cependant, on voit qu'elle devient négative, alors que tout ce que cette idée pourrait expliquer seule est un retour à la valeur initiale. L'hypothèse la plus probable quant à l'inversion de signe est qu'il s'agisse d'un phénomène d'écrantage entre les deux grilles qui serait causé par la formation d'un canal complet sous la grille ASET. Dans ce régime, il serait en fait équivalent de penser qu'il y a une plaque métallique à la masse (car connectée aux contacts ohmiques) sous la grille ASET. Cela modifie la manière à laquelle le champ électrique généré par la grille ASET se propage dans le reste du dispositif. Cela modifie donc la différence de potentiel entre ASET et UR, et donc par extension, leur capacité mutuelle. Lorsque l'inversion est pleinement atteinte, il y a saturation de la valeur de changement.

Cette expérience a donc mis en évidence quelques faits importants. D'abord, comme prévu, il est possible d'observer des changements dans la capacité même si aucun contact ohmique n'est utilisé. Cependant, les données obtenues sont beaucoup plus complexes à analyser, surtout quantitativement, et, surtout, les changements mesurés sont jusqu'à 100 fois plus faibles que dans la configuration *split-gate*. Cela indique donc que la meilleure configuration pour la mesure d'effets de blocage de Coulomb ferait nécessairement intervenir au moins un contact ohmique.

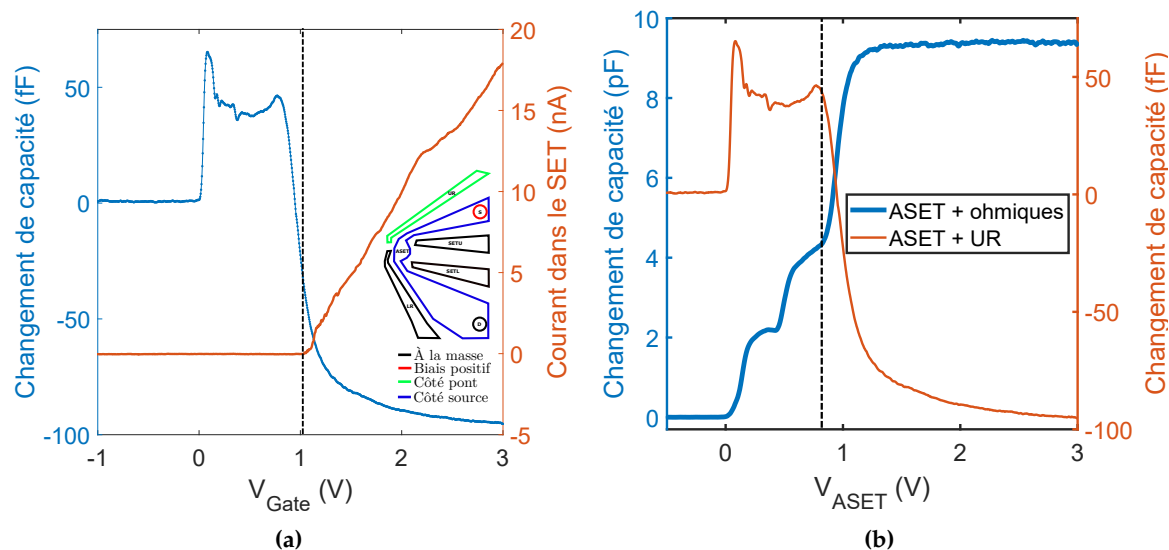


FIGURE 4.4 (a) Courbe capacité-tension du SET obtenue à l'aide du pont connecté à ASET et à UR. Les autres grilles et contacts sont utilisés tel que décrit par l'encart. La seconde courbe représente le courant dans le canal du SET, qui a pu cette fois-ci être mesuré simultanément avec la mesure capacitive. (b) Comparaison du signal avec la courbe C-V obtenue en configuration *split-gate* mettant en évidence la ressemblance entre les deux courbes près du régime d'inversion.

Chapitre 5

Mesures de blocage de Coulomb

Dans ce dernier chapitre seront présentées les expériences de détection capacitive qui ont été réalisées en utilisant le même prototype et le même transistor monoélectronique qu’au chapitre 4, mais en utilisant le montage de la section 2.3.2. Les résultats obtenus jusqu’à maintenant sont positifs, mais la source exacte du signal reste à clarifier, ce qui complexifie l’interprétation des données.

5.1 Diamants de Coulomb

5.1.1 En présence de transport

D’abord, expliquons ce que sont les diamants de Coulomb. Pour cela, il peut être utile de se réintéresser à la figure 1.2, qui illustre le phénomène de blocage de Coulomb, lequel fait en sorte qu’il ne puisse y avoir de transport dans une simple boîte quantique que lorsqu’un niveau de la BQ se trouve énergétiquement entre les potentiels chimiques de la source et du drain. Maintenant imaginons ce qu’il se passe lorsque le biais source drain est varié. À biais nul, aucun courant net ne pourra circuler. Lorsque le biais augmente, des pics de courant tels qu’illustrés à la figure 1.2 apparaissent et s’élargissent progressivement, jusqu’à ce que le biais soit suffisamment large pour toujours englober deux niveaux de la BQ. À ce moment, il n’existera plus de tension de grille pour laquelle le courant sera nul. Si, au lieu de se concentrer sur la largeur des pics, on s’attarde plutôt au régime de blocage de Coulomb, on se rend compte qu’il décrira une forme de losange dans le plan $V_G - V_{SD}$; ce sont ces zones que l’on nomme les diamants de Coulomb. Ce diagramme est l’un des premiers à tracer

lorsque l'on croit avoir trouvé un bon régime de fonctionnement du dispositif, car il s'agit d'une des signatures les plus fiables de la formation d'une boîte quantique.

Le résultat obtenu expérimentalement avec le transistor monoélectronique dans le meilleur régime d'opération en transport trouvé est illustré à la figure 5.1a. On y a tracé la valeur absolue du courant traversant le SET pour rendre les diamants plus visibles, mais le courant est réellement négatif (c'est-à-dire va du drain vers la source) pour des V_{SD} négatifs. On voit clairement le signal attendu en courant, à la différence près que les diamants ne sont pas tout à fait symétriques. Cela est dû au fait que l'une des barrières tunnel, ici celle située entre l'îlot et la source, est plus opaque que l'autre, ce qui est dû à la fois à la géométrie du dispositif et aux tensions appliquées sur les grilles. Finalement, le décalage qui se produit sous $V_{SD} = -1$ mV est un saut télégraphique, soit un changement de charge aléatoire dans un piège parasite près de l'îlot qui en a affecté la position des niveaux d'énergie.

Une mesure à l'aide du pont capacitif a été réalisée simultanément avec la mesure en courant (figure 5.1b). Dans celle-ci, on observe encore les diamants qui étaient présents dans la mesure en courant. De plus, on remarque que des double-pics asymétriques de quelques dizaines de μV d'amplitude suivent les transitions de charge et disparaissent seulement pour de faibles biais source-drain. Ce signal ne semble pas être de source uniquement capacitive, car des changements de l'ordre de $20 \mu V$ correspondraient à des changements de capacité d'environ 78 fF, ce qui est de deux à trois ordres de grandeur plus élevé que prévu. L'autre source possible de ce signal serait alors l'entrée de courant oscillant provenant du SET dans le pont. En effet, comme on module la tension sur la grille ASET, le courant dans le SET sera nécessairement modulé à la même fréquence que le signal que l'on veut mesurer avec le pont. Or, le pont lui-même est connecté à un contact ohmique du SET, donc une partie de ce courant oscillant va y entrer et le pont sera sensible à ce que l'on nomme la conductivité différentielle du SET, ce qui est similaire à prendre la dérivée du courant. Cela explique la forme en double-pic du signal en sortie du pont ; l'amplitude du signal oscillant est maximale lorsque la configuration fait en sorte que l'on se trouve sur le flanc d'un pic de courant, et minimale lorsque l'on se trouve plutôt sur un maximum (figure 5.1c). On remarque également que l'asymétrie entre les flancs montant et descendant des pics de courant se répercute sur le signal en amplitude du pont ; le premier pic de chaque double-pic est toujours à la fois de plus faible amplitude et plus élargi que le second.

5.1.2 En absence de transport

Pour éviter que le courant du SET contamine la mesure du pont, l'idéal serait de disposer d'un régime de fonctionnement pour lequel le courant du SET est nul, mais où des électrons

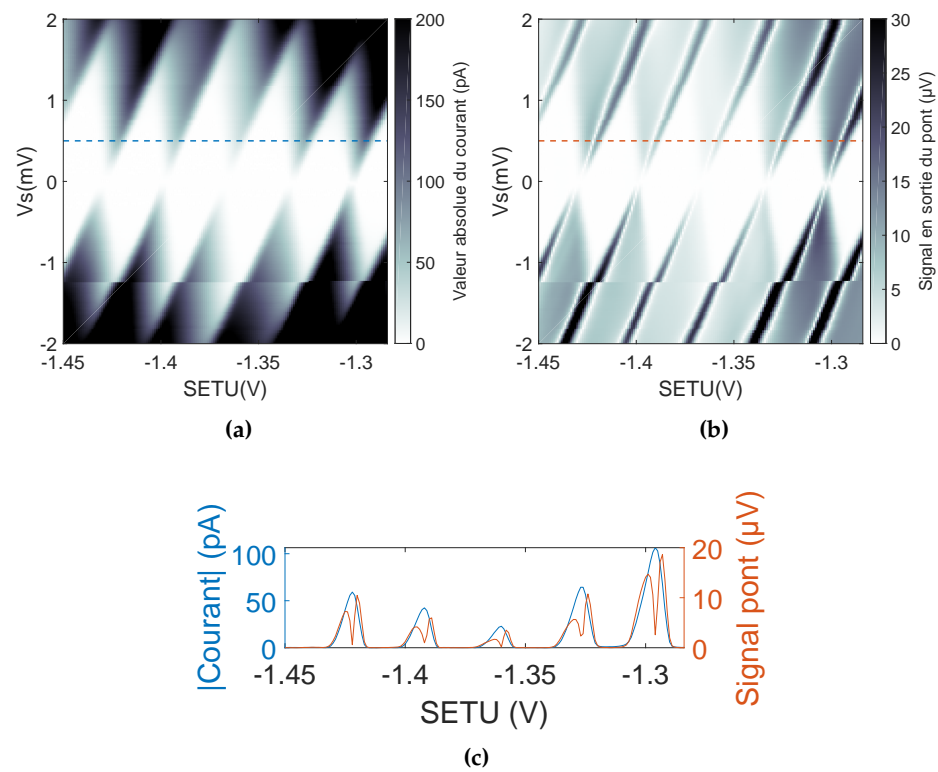


FIGURE 5.1 Diamants de Coulomb détectés en courant (a) et capacitivement (b) dans le régime où le transport électronique entre la source et le drain est possible. Les traits pointillés montrent d'où on été extraites les traces présentées en (c).

peuvent toujours être ajoutés à l'îlot central et où le pont resterait sensible aux changements de capacité correspondant. Une manière d'y arriver est de rendre l'une des deux barrières tunnel suffisamment opaque pour que les électrons peinent à la traverser et, par extension, à établir un courant significatif dans le canal, tout en affectant au minimum la seconde. Il s'avère que cela est possible par modification des tensions de grille, et la mesure des diamants de Coulomb dans ce régime donne des résultats différents (figure 5.2). En effet, on constate dans ce cas que pour des configurations faisant en sorte que le courant dans le SET soit nul, des transitions (indiquées par les flèches noires à la figure 5.2b) dans le pont sont toujours visibles. Cela a des implications intéressantes pour la méthode de détection capacitive, car il semble possible d'être sensible à des transitions dans un dispositif qui ne fait intervenir qu'un seul réservoir, comme certaines BQs modernes [55]. Toutefois, les transitions ressemblent peu au signal attendu. Il s'agit en fait encore une fois d'un signal de forme double-pic, où la transition en elle-même semble correspondre au creux qui sépare les deux pics. Prenons par exemple la transition la plus à droite à la figure 5.2b. Le signal est encore un effet du courant du SET à biais source-drain élevé, mais on constate en suivant la transition vers les plus faibles biais que le creux qui séparait les deux pics dus au courant est toujours visible alors que le courant est quant à lui indétectable.

Une explication potentielle du phénomène est reliée au signal en arrière-plan visible à la figure 5.2b. Ce signal oscillant est très faiblement couplé à la tension source-drain, car les oscillations ont un angle pratiquement vertical dans le plan V_{SD} - SETU. Cela signifierait qu'il ne s'agit pas d'un signal provenant de l'îlot central du SET, mais plutôt d'une autre structure similaire à proximité et qui serait tout de même couplée à la grille ASET et au drain, ce qui implique que le pont soit aussi sensible aux changements d'impédance dans cette structure. Des effets similaires ont d'ailleurs déjà été observés dans des BQs de silicium à l'aide de la lecture dispersive basée sur une grille [56]. Ces effets pourraient causer une différence dans le signal correspondant aux phénomènes se produisant au niveau du SET lui-même, car, contrairement aux attentes initiales, le pont n'est plus toujours en état d'équilibre lorsque la charge dans le SET est stable. Ainsi, si un changement de charge survient lorsque le pont est déjà hors-équilibre, il est possible que la modification soit captée comme une baisse d'amplitude et non comme une hausse. Il suffit pour cela que le changement dans le signal d'arrière plan soit dû à une diminution de la capacité et le signal provenant du SET soit dû à une augmentation (ou vice-versa), ou encore qu'il s'agisse de changements d'impédance plus complexes qui peuvent modifier la phase relative entre les signaux V_r et V_s envoyés au pont.

Dans le cas actuel, c'est cette dernière hypothèse qui semble la plus plausible, car la phase (figure 5.2d) montre que le signal d'arrière-plan correspondrait à une augmentation de la

capacité entre ASET et le ohmique de drain, ce qui signifierait que le signal provenant du SET serait quant à lui dû à une diminution de la capacité, ce qui est contraire aux attentes. Cela rend le signal difficile à interpréter et à convertir en unités de capacité. C'est d'ailleurs pourquoi le signal tel que mesuré en sortie du pont est présenté directement. Notons toutefois que si le creux correspondant aux transitions était bien en fin de compte un changement de capacité pur, le changement équivalent serait de l'ordre de -100 aF. Cela confirme que le pont serait suffisamment sensible pour résoudre des changements de la tension centrale de l'ordre de la dizaine de nanovolt.

Terminons cette section avec une dernière observation intéressante concernant le signal en arrière-plan de la figure 5.2b, soit le fait qu'il y a décalage des pics de ce signal vers des tensions sur SETU plus positives lorsque des transitions du SET sont traversées de la gauche vers la droite. Cela est cohérent avec l'entrée contrôlée d'électrons dans le SET, qui cause des modifications au niveau du potentiel de la structure parasite qui fournit le signal d'arrière-plan. Il s'agit en fait du même phénomène qui permet à un SET de mesurer des changements de charge au sein d'une boîte quantique située à proximité, mais cette fois c'est un changement dans le SET qui affecte l'environnement et non l'inverse.

5.2 Diagrammes de stabilité

À la dernière section, on a vu qu'il était possible d'observer un signal correspondant à des transitions du SET à l'aide du pont capacitif alors qu'aucun courant n'était mesuré dans le canal. Le but de cette section sera de voir jusqu'à quel point il est possible de pincer les deux barrières tunnel tout en continuant d'observer le signal dans le pont capacitif. On tentera aussi de clarifier la source de ce signal en explorant une seconde configuration de mesure et en faisant des expériences d'équilibrage additionnelles.

5.2.1 Avec deux contacts ohmiques connectés

On commence par s'intéresser à l'évolution du signal capacitif lorsque les barrières tunnel du SET sont rendues de plus en plus opaques. Normalement, on s'attend à ce que le signal demeure visible dans le pont jusqu'à ce que le taux tunnel soit plus lent que la fréquence d'excitation, à quel point les transitions de charge se produiront trop lentement pour pouvoir suivre la modulation sur ASET, ce qui implique que l'impédance du SET sera constante. Il est possible de modifier l'opacité des barrières tunnel en ajustant les potentiels appliqués sur les grilles de déplétion. La meilleure manière de caractériser cet effet est donc

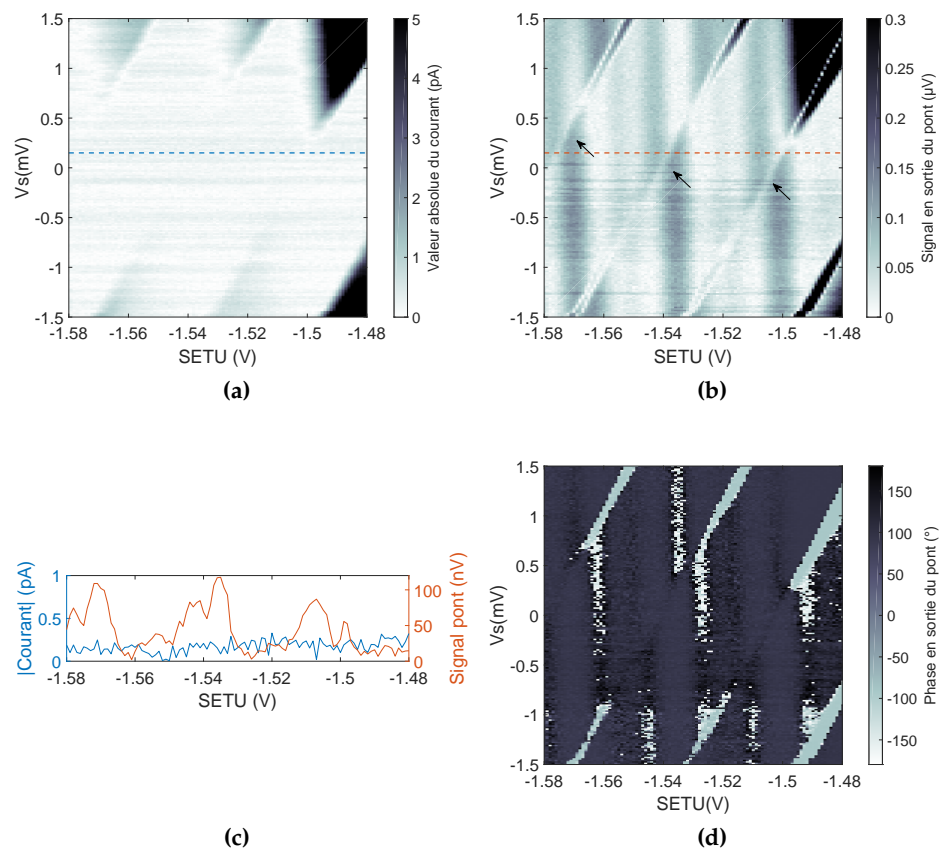


FIGURE 5.2 Diamants de Coulomb détectés (a) en courant et (b) l'amplitude et (d) la phase du signal détecté capacitivement dans le régime où le transport entre le drain et la source est bloqué. Les limites des échelles de couleur ont été ajustées pour donner le meilleur contraste possible pour les faibles amplitudes. Les lignes pointillées rouges représentent la position des traces de (c). Les flèches blanches en (b) servent à indiquer des transitions détectées par le pont alors que le courant est nul.

de réaliser un diagramme de stabilité en utilisant les grilles SETU-SETL, ce qui pincera à la fois la barrière entre l'îlot et le drain et celle entre l'îlot et la source. De tels diagrammes mesurés respectivement en transport et par le pont sont présentés à la figure 5.3.

On voit à la figure 5.3a que le courant n'est pas nul dans le coin supérieur droit du plan. Cela est en fait volontaire, car de voir quelques transitions en courant permet de s'assurer que celles détectées dans le pont ont bien le même angle et le même espacement. Passé ces transitions, cependant, le courant devient nul et aucune transition supplémentaire n'est visible, à l'exception de l'artéfact à $V_{\text{SETU}} = -1.7 \text{ V}$ et $V_{\text{SETL}} = -1.5 \text{ V}$. Celui-ci est probablement causé par des défauts du canal qui deviennent accessibles à ces tensions de grille, et non à l'îlot principal qui est la source des autres transitions. Notons finalement que les zones blanches du diagramme n'ont pas été explorées pour minimiser le temps de mesure¹. Cette figure est en fait composée de 8 sous-diagrammes qui ont été assemblés afin de bien représenter l'évolution des transitions.

Le premier aspect intéressant à constater est le nombre de transitions additionnelles qui sont visibles à la figure 5.3b. En fait, on remarque qu'elles commencent à se faire difficiles à voir seulement à partir de la zone délimitée par un encadré violet et qu'elles disparaissent complètement peu après. Dans l'encadré bleu, on croit voir deux lignes (indiquées par les pointillés) qui ont à la fois le bon angle et le bon espacement, mais il est incertain qu'il s'agisse vraiment de transitions du SET. Le signal en arrière-plan à ce point devient en fait beaucoup plus fragmenté que précédemment, ce qui complexifie l'interprétation des données. Toutefois, même en excluant les transitions incertaines, 30 transitions additionnelles par rapport au signal en courant sont captées par le pont, ce qui démontre une bien plus grande sensibilité. Il n'était pas possible de mesurer avec certitude le taux tunnel du SET au moment où les transitions dans le pont ont cessé d'être détectées par le pont, mais il est possible d'estimer le taux tunnel des transitions visibles en courant ($1 \text{ A} = 1 \text{ C s}^{-1}$) et d'extrapoler, comme illustré dans l'encart de la figure (a). On remarque que, selon l'extrapolation, seulement une douzaine de transitions auraient dû avoir un taux tunnel supérieur à la fréquence d'excitation du pont. Cependant, comme le courant fait intervenir les deux barrières, ces valeurs correspondent au taux tunnel de la barrière la plus opaque et l'autre pourrait être beaucoup moins pincée. C'est probablement ce qu'il arrive ici. Une fois la barrière la plus opaque complètement pincée, les électrons peuvent encore tunneler par l'autre pour un certain domaine en tension, et le pont est tout de même sensible à ces effets. Du moins, il est certain que la dernière transition visible ne corresponde pas au dernier niveau d'énergie du SET, car aucune augmentation conséquente de l'espacement entre les pics n'est visible, ce qui serait attendu pour les dernières transitions.

1. Ce diagramme dans l'état actuel a déjà requis environ 200 h de mesure.

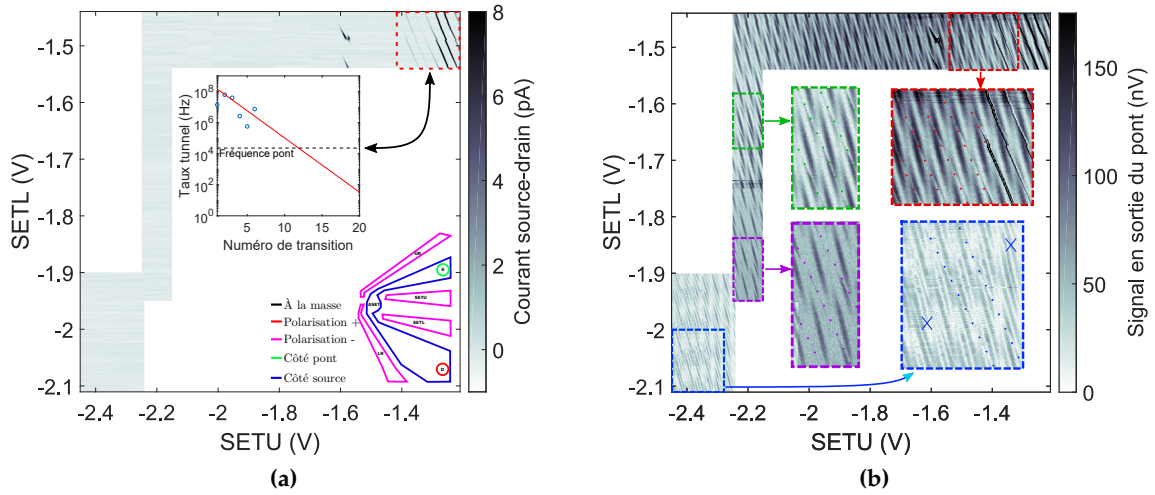


FIGURE 5.3 Signal détecté simultanément (a) en transport et (b) par le pont pour un diagramme de stabilité dans la région où les barrières tunnel sont pincées. Les encarts en (a) représentent une estimation du taux tunnel à partir du courant pour les transitions visibles ainsi que l'utilisation des grilles du SET. Les encadrés colorés en (b) sont des zooms sur certaines parties du graphique permettant de mettre en évidence quelques transitions jusqu'à leur disparition éventuelle.

En second lieu, il est aussi intéressant de remarquer que le signal en arrière-plan n'est plus vertical, ce qui signifie que les deux grilles ont un effet sur la structure qui les cause. Comme l'angle des transitions est une mesure de la force de couplage relative aux grilles, cela peut avoir des applications intéressantes pour la localisation de cette structure (voir annexe E pour d'autres diagrammes). De plus, on remarque que les transitions du SET sont, comme dans le cas des diamants de Coulomb, surtout visibles par modification de ce signal en arrière-plan. Par exemple, dans l'encadré rouge de la figure 5.3b, le signal est bien visible lorsqu'il traverse un pic d'arrière-plan, mais disparaît pratiquement entre deux de ces pics. Cela soulève donc des questions quant à la nature du signal mesuré ; les prochaines sections visent à éclaircir la situation.

5.2.2 Avec un seul contact ohmique connecté

Le premier aspect dont il faut s'assurer est que le signal détecté dans le pont capacitif ne provient pas d'un courant qui circulerait dans le SET tout en étant trop faible pour être mesuré par le montage (i.e. comme les double-pics d'amplitude élevée qui correspondent aux pics de courant du SET). Pour ce faire, il suffit de déconnecter le câble qui avait le rôle d'amener le contact de source à un potentiel positif. Cela peut être effectué à l'aide d'un

levier au niveau de la boîte de connexion à l'extérieur du réfrigérateur qui rend flottant le conducteur central du câble en question. L'autre réservoir est quant à lui laissé à la masse pour toujours être en mesure de fournir des électrons à l'îlot central. La différence par rapport au montage précédent est qu'aucun courant ne puisse maintenant parvenir de la source, ce qui rend nécessairement le courant au-travers du SET nul. Il est donc assuré qu'aucune modulation de ce courant, aussi petite soit-elle, ne parvienne au point central du pont. On s'attend en conséquence à observer des changements au niveau du signal mesuré dans le pont lorsque le courant traversait le SET. Si le courant était bien nul ailleurs, alors le signal du pont ne devrait pas y être affecté.

Les figures 5.4a et 5.4b font la comparaison entre les diagrammes obtenus respectivement avec et sans circulation de courant possible dans le transistor monoélectronique. En encart à la figure 5.4a, on représente le courant mesuré simultanément. Cela n'est pas nécessaire pour 5.4b, car le courant était nul en tout point. On observe alors que le pic principal qui est visible à la figure 5.4a, pour lequel le courant était lui aussi maximal, a encore une amplitude élevée à la figure 5.4b, quoique tout de même plus faible qu'en régime de conduction. Notons que la position du pic a changé légèrement, mais qu'il est habituel d'observer une telle dérive temporelle de la position des transitions pour ce dispositif. On remarque toutefois une différence clef entre ces deux pics ; le premier est de forme double-pic, tandis que le second n'est qu'un simple pic. On peut remarquer deux creux de chaque côté du pic à de la figure 5.4b, mais cela n'est qu'un effet de phase similaire à celui décrit plus haut, comme illustré par les traces en encart à la figure 5.4b. Cela confirme l'hypothèse selon laquelle la forme en double-pic était causée par le fait qu'une mesure de conductivité différentielle du SET était en fait réalisée. Cependant, une telle amplitude en sortie du pont correspondrait en fait à un changement de capacité pur de 1.54 fF, ce qui est encore au moins un ordre de grandeur plus élevé qu'initialement prévu. On tente d'éclaircir cela à la section ci-dessous.

Finalement, notons que le signal observé en l'absence de courant détectable à la figure 5.4a est identique mis-à-part pour le décalage dans la position à celui observable à la figure 5.4b. Cela signifie que le courant est bien nul dans ce régime ; il ne s'agit pas d'une trop faible précision de mesure du courant et les transitions visibles ont donc une autre cause qu'une contamination par le courant du SET.

5.2.3 Mesures d'équilibrage du pont

Maintenant que l'on sait que le signal puisse encore être d'amplitude élevée par rapport aux attentes en absence de courant dans le SET, on peut tenter de comprendre pourquoi. La

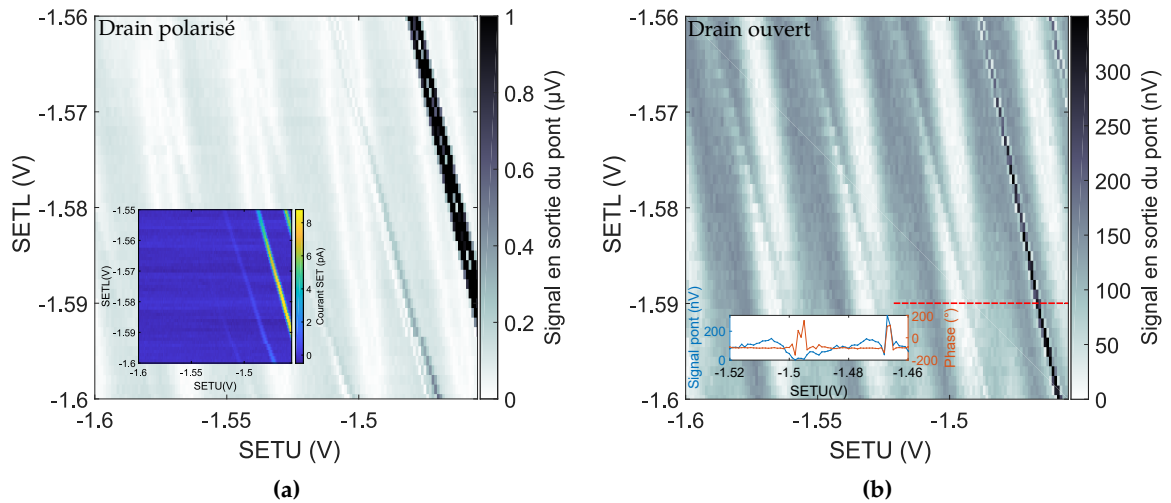


FIGURE 5.4 Comparaison entre le signal généré par le pont (a) lorsque le ohmique de source est polarisé à une valeur de $40 \mu\text{V}$ et (b) lorsque le drain est ouvert pour empêcher le courant de circuler. L'échelle de couleur en (a) a été plafonnée à $1 \mu\text{V}$ afin de rendre visible les transitions en l'absence de courant, l'amplitude maximale est réellement d'environ $2.1 \mu\text{V}$.

meilleure manière de faire est simplement de tracer les courbes d'équilibrage à différents points dans le diagramme de la figure 5.4b. Cela devrait fournir des renseignements importants sur le type de changement d'impédance provoquant le déséquilibre du pont.

La figure 5.5a montre le pic principal de la figure 5.4b en plus de détail. Les points indiqués par les flèches colorées correspondent aux courbes d'équilibrage de la même couleur dans l'encart. On voit que, contrairement aux attentes théoriques initiales, le changement d'amplitude dans le pont n'est pas causé par un décalage horizontal de la courbe d'équilibre, mais plutôt par un effet de déphasage relatif des deux signaux qui arrondit le bas de la courbe de la même manière qu'à la figure 1.8b. Le problème avec un tel effet est qu'il rend le véritable changement d'impédance difficile à interpréter, car il est impossible de déterminer quel aurait été le bon point d'équilibre à partir d'une courbe trop arrondie. Pour remédier à ce problème, une nouvelle optimisation de la courbe d'équilibre a été effectuée au sommet du pic, puis a été comparée à celle obtenue au minimum de la trace (figure 5.5b). Afin d'obtenir cette nouvelle courbe, la phase relative entre les deux signaux a dû être corrigée de -0.7° . Cela permet alors d'observer un léger décalage horizontal entre les deux courbes. S'il s'agissait d'un changement de capacité pur, il s'agirait d'une augmentation de 3.5 fF . Cependant, vu l'effet de phase, il ne peut pas s'agir simplement d'un effet capacitif, et il serait plus judicieux de dire que la différence d'impédance créée

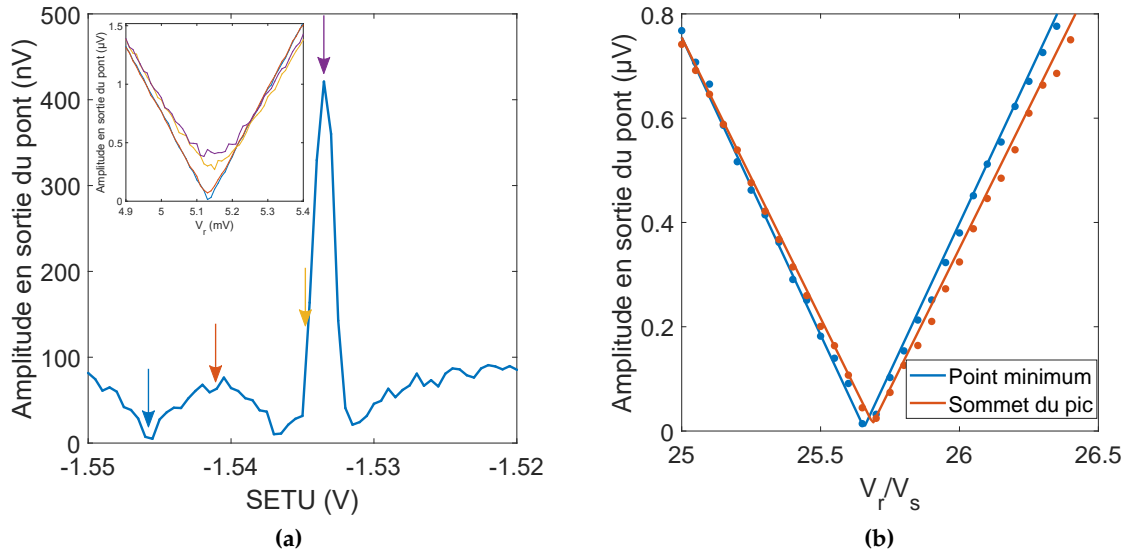


FIGURE 5.5 (a), Trace en SETU montrant le pic principal détecté en configuration drain ouvert ainsi que les courbes d'équilibre correspondantes à différents points indiqués par les flèches colorées. (b), courbes d'équilibre optimisées en phase mesurées respectivement au minimum et au maximum de la trace en (a) montrant un faible décalage de la courbe vers la droite.

dans la branche C_s du pont est de $-3.7 \text{ k}\Omega$ à cette fréquence. La meilleure hypothèse quant à ce que l'on mesure est que, comme le signal du pont traverse une jonction tunnel, le circuit est aussi sensible à des changements dans la résistance effective de la jonction tunnel, qui se trouve à être en parallèle avec la capacité de la jonction. Or, lorsque des électrons sont libres de passer du réservoir à l'îlot et que le biais source drain est nul, il y a modification de la valeur effective de cette résistance [57, 58]. Cela peut en conséquence causer un déphasage en plus d'un changement d'amplitude du signal traversant la jonction, ce qui mènera à l'obtention de courbes similaires à celles mesurées ici. Il n'est toutefois pas exclu que les capacités (autant celle entre ASET et le canal que celle de la jonction tunnel) changent aussi, ce qui rend la modélisation de ce phénomène difficile sans disposer d'un modèle théorique sous-jacent donnant des équations exactes décrivant l'évolution de ces paramètres.

Il faut toutefois souligner que même si l'effet mesuré n'est pas tout à fait celui qui était anticipé, l'expérience est une réussite. De plus, cela n'empêche pas de caractériser quelques dépendances de ce signal et de vérifier si elles s'alignent avec nos attentes théoriques.

5.3 Dépendance en fréquence

Un point soulevé à la section précédente est qu'il existe une relation entre le niveau de signal capacitif observé et le rapport de la fréquence d'excitation et du taux tunnel. Celle-ci est aussi présente dans la littérature reliée à la lecture dispersive [57], où des termes faisant apparaître le ratio Γ/ω (Γ étant le taux tunnel dans la BQ et ω étant la fréquence du signal d'excitation) apparaissent dans la définition de la capacité différentielle du circuit.

Afin de vérifier cette attente, une trace en SETU du régime avec drain ouvert où le pic de signal le mieux défini est visible a été tracée pour différentes fréquences (figure 5.6a). Pour chacune de ces fréquences, les paramètres d'équilibre optimaux ont été utilisés. Il est évident sur cette figure que le signal des transitions devient de moins en moins important lorsque la fréquence augmente, ce qui est particulièrement notable pour la transition se trouvant autour de -1.525 V, qui passe même d'un pic à un creux autour de 40 kHz. Le déplacement des transitions n'est quant à lui pas dû au changement de fréquence mais plutôt au même phénomène de dérive temporelle que précédemment. Cela a été vérifié à la fin de la mesure par un retour à basse fréquence, qui a montré la même modification de position de la transition. Il est toutefois intéressant de noter que le signal en arrière plan n'est pas affecté par le même phénomène, ce qui signifie soit que cette partie du signal a un taux tunnel très élevé, soit que le signal est généré par un phénomène indépendant de la fréquence.

La figure 5.6b représente l'amplitude renormalisée de la transition la plus proéminente en fonction de l'inverse de la fréquence. Celle-ci a deux définitions possibles selon que le signal représente un pic ou un creux dans le signal en arrière-plan : dans le cas d'un creux, on définit que l'amplitude est la différence du minimum du creux par rapport au signal de base avant et après le creux, tandis que dans le cas d'un pic, on définit que l'amplitude véritable est l'amplitude du pic *additionnée* du signal de base autour du pic. Cela est encore dû au fait que le pic a une phase inverse au signal d'arrière plan, ce qui indique que son amplitude réelle doit d'abord être assez élevée pour contrebalancer celle du signal d'arrière-plan avant de remonter. De plus, l'amplitude a ensuite été renormalisée pour prendre en compte la dépendance en fréquence du circuit, présentée à la section 3.2.2 et reproduite en encart à la figure 5.6b. Les données d'amplitude affichées dans cette même figure sont donc exemptes des phénomènes secondaires dus au pont en lui-même, et l'on voit que malgré un certain niveau de variation, explicable par de légères différences au niveau des paramètres d'équilibrage utilisés, la tendance est bien linéaire, ce qui démontre qu'il y a bien une dépendance en $\frac{1}{\omega}$ du signal. Il est intéressant de voir que, déjà à 100 kHz, le signal est à peine visible. Cela signifie que le taux tunnel est de cet ordre de grandeur, et, par extension,

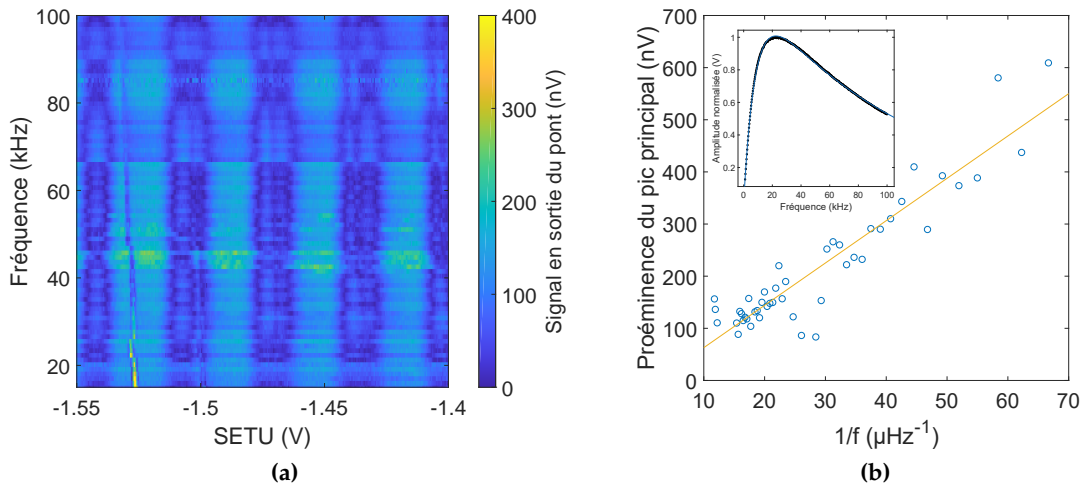


FIGURE 5.6 (a), Dépendance en fréquence du signal capacitif dans le régime de transport mais avec le drain ouvert. On observe une diminution de l'amplitude du pic principal avec la fréquence. (b), Amplitude maximale du pic principal pour les fréquences mesurées en fonction de l'inverse de la fréquence. L'amplitude a été compensée pour la dépendance en fréquence du circuit (graphique incrusté). On voit qu'il subsiste une relation en $1/f$.

que de telles transitions ne pourraient pas être détectées [21] par lecture dispersive étant donné que les fréquences utilisées seraient alors de l'ordre de la centaine de mégahertz.

5.4 Dépendance en amplitude

Une autre attente expérimentale que l'on avait au début du projet était qu'il existerait un point optimal en terme d'amplitude AC à appliquer sur le pont qui représenterait le meilleur équilibre possible entre l'équation 1.24, selon laquelle le changement de tension au centre du pont est proportionnelle à l'amplitude de modulation appliquée, et l'élargissement des pics de transition de charge causé par l'utilisation d'une amplitude plus élevée que l'étendue en tension du pic sur la grille modulée. Pour s'assurer de ce qu'il en est, une dépendance en amplitude a été effectuée (figure 5.7a) de manière analogue à la dépendance en fréquence présentée à la section précédente. La phase du signal est aussi représentée (figure 5.7b), car on y voit bien la transition entre le régime pic et creux (passage d'une phase positive à une phase négative), qui était aussi présente dans les mesures en fréquence.

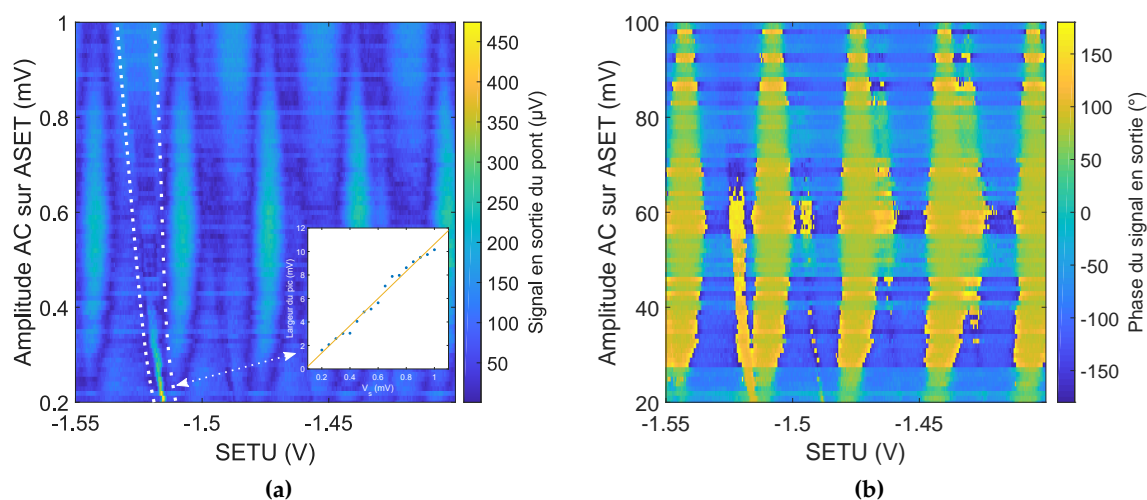


FIGURE 5.7 Dépendance de l'amplitude (a) et de la phase (b) du signal en sortie du pont par rapport à l'amplitude oscillante envoyée sur la grille d'accumulation du SET. L'amplitude du signal oscillant sur le condensateur de référence était ajustée pour chaque trace afin que le pont demeure en condition d'équilibre. Le pic de signal le plus proéminent est encadré par les pointillés blancs sur les deux graphiques.

Mis à part le fait que la mesure a encore été affectée par la dérive temporelle de la position des transitions du SET, l'effet est ici encore très clair. On voit qu'à 0.2 mV d'amplitude d'excitation, l'amplitude du signal en sortie du pont est maximale et le pic est à son plus mince. Cependant, dès que l'amplitude d'excitation est augmentée l'amplitude du signal en sortie est très visiblement diminuée, et le pic devient de plus en plus élargi. Cela va jusqu'à transformer le pic en creux très élargi dans le signal d'arrière-plan. Le lien entre la tension oscillante appliquée sur la grille ASET et la largeur à mi-hauteur du pic est clarifié dans l'encart de la figure 5.7a, où l'on voit que pour une amplitude 5 fois plus grande, on obtient un pic aussi 5 fois plus large, ce qui était attendu pour la simple raison que si l'oscillation est d'amplitude plus élevée, on commence à exciter des transitions à partir de tensions DC plus éloignées de la valeur optimale. La perte d'amplitude s'explique quant à elle par le fait qu'à plus haute amplitude d'excitation, moins d'événements tunnel surviennent lors d'un cycle d'oscillation, car les niveaux se trouvent mal positionnés pendant la majorité du cycle. Cela amoindrit alors les modifications au signal transféré au pont. Il est donc clair que pour observer du blocage de Coulomb, il existe en effet une tension optimale à appliquer sur la grille de modulation. Dans notre cas, celle-ci est possiblement même inférieure à 0.2 mV, mais des contraintes expérimentales ont empêché l'observation du phénomène à plus faible amplitude.

5.5 Estimation de la sensibilité à la capacité

Méthode de détermination

Une dernière quantité intéressante à caractériser est la sensibilité à la capacité du circuit dans ses conditions d'utilisation optimales. Cela est en fait une mesure du meilleur compromis possible entre la vitesse de mesure et le rapport signal sur bruit des données obtenues, défini [59] comme étant

$$\delta C = \frac{C}{\sqrt{f_{LB}}} \quad (5.1)$$

où C est la valeur du changement de capacité sous-jacent à la réponse du pont et f_{LB} est la largeur de bande du circuit pour laquelle le rapport signal sur bruit est de 1. Dans le cas actuel, cette largeur de bande est déterminée par le filtre passe-bas se situant après le démodulateur à l'entrée du lock-in. Pour la pente de filtre utilisée (24 dB oct^{-1}), elle peut être calculée [46] comme étant

$$f_{LI} = \frac{5}{64T} \quad (5.2)$$

avec T la constante de temps sélectionnée. L'idée est donc d'utiliser un signal connu équivalent à une certaine valeur de changement de capacité et d'augmenter progressivement la largeur de bande en entrée du lock-in jusqu'à ce que le rapport signal sur bruit soit de 1 ou moins.

Comme signal de calibration, une option simple est d'utiliser notre connaissance de l'équation principale du pont (eq. 1.19) afin d'établir une équivalence entre une modification de la capacité C_s et une modification de la tension V_s . Clarifions : on sait qu'un changement de C_s causera une modification de la tension centrale du pont, calculable comme étant :

$$\Delta V_C = \frac{\Delta C_s V_s}{C_\Sigma + \Delta C_s} \approx \frac{\Delta C_s V_s}{C_\Sigma}, \quad (5.3)$$

avec C_Σ la capacité totale initiale et où l'approximation est valide si on a $\Delta C_s \ll C_\Sigma$. On peut aussi calculer le changement de la tension centrale causé par une modification de V_s comme étant

$$\Delta V_V = \frac{\Delta V_r C_r}{C_\Sigma}. \quad (5.4)$$

Comme les deux modifications sont mesurées comme étant des changements dans la

tension centrale, il est possible d'établir une équivalence entre ΔV_s et ΔC_s comme suit :

$$\Delta V_C = \Delta V_V \quad (5.5)$$

$$\rightarrow \frac{\Delta C_s V_s}{C_\Sigma + \Delta C_s} = \frac{\Delta V_r C_r}{C_\Sigma} \quad (5.6)$$

$$\rightarrow \Delta C_s = \frac{\Delta V_r C_r C_\Sigma}{V_s C_\Sigma - \Delta V_r C_r} \approx \frac{\Delta V_r C_r}{V_s} \quad (5.7)$$

où l'approximation est valide si $V_s C_\Sigma \gg \Delta V_r C_r$. Pour le prototype utilisé,

$\frac{C_\Sigma}{C_r} = \frac{4.12 \text{ pF}}{100 \text{ fF}} = 41.2$. De plus, on utilisera une valeur de ΔV_r de $10 \mu\text{V}$, donc

$\frac{V_s}{\Delta V_r} = \frac{200 \mu\text{V}}{10 \mu\text{V}} = 20$. Cela signifie que $V_s C_\Sigma = 824 \Delta V_r C_r$, et donc que l'approximation est amplement valide dans ce cas.

Afin d'être en mesure de bien caractériser la différence dans le signal au centre du pont en fonction de la largeur de bande, la mesure a été effectuée comme suit : premièrement le pont était équilibré, puis, une fois la tension V_r optimale déterminée, celle-ci était incrémentée de $10 \mu\text{V}$ afin d'éviter tout effet d'arrondissement de la courbe d'équilibre dû à une imperfection de la différence de phase, et une trace de 1000 points était capturée au lock-in. Ensuite, la tension V_r était de nouveau incrémentée de $10 \mu\text{V}$, ce qui définit la valeur de ΔV_r , et une nouvelle trace de 1000 points était capturée. La constante de temps du lock-in était par la suite diminuée et les traces étaient capturées à nouveau aux mêmes tensions.

Analyse des résultats

Pour illustrer concrètement l'effet de la largeur de bande, deux histogrammes présentant les fonctions densité de probabilité des données récoltées sont présentés aux figures 5.8a et 5.8b, pour des constantes de temps de 1 s (largeur de bande de 78.1 mHz) et 30 ms (largeur de bande de 2.6 Hz) respectivement. On constate que les pics sont bien caractérisés par des lissages gaussiens. Il est de plus évident que les données obtenues à l'aide de la largeur de bande la plus étroite offrent un bien meilleur rapport signal sur bruit. Mathématiquement, on définit celui-ci comme étant le rapport de la différence des valeurs moyennes des signaux et de l'écart-type des lissages gaussiens, tel qu'illustré à la figure 5.8a.

La figure 5.8c illustre quant à elle l'évolution du rapport signal sur bruit ainsi défini en fonction de la largeur de bande. L'échelle des abscisses y est logarithmique, et les valeurs des rapports sont converties en decibels à l'aide de l'équation [60] :

$$\text{SNR}_{\text{dB}} = 20 \log (\text{SNR}_{V/V}) . \quad (5.8)$$

Un ratio signal sur bruit de 1 équivaut à 0 dB, ce qui correspond à une largeur de bande de

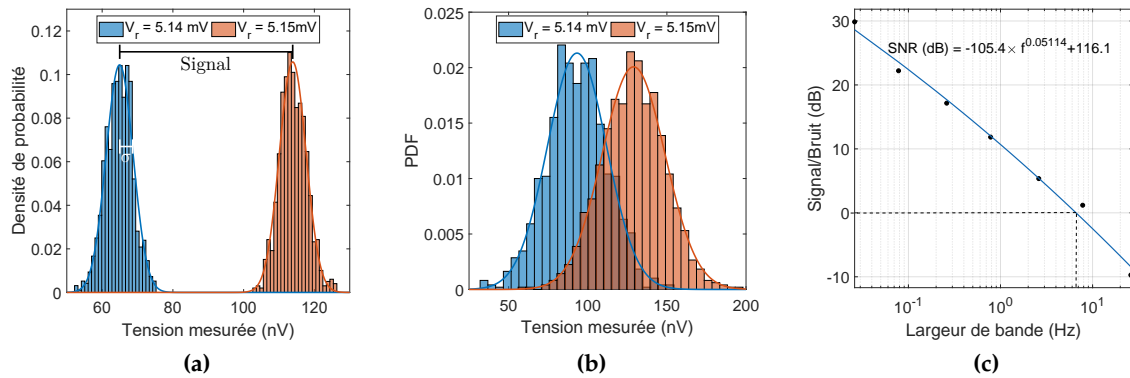


FIGURE 5.8 Estimation de la sensibilité de charge du circuit obtenue en modifiant la largeur de bande du filtre d'entrée du lock-in. (a) et (b) représentent les fonctions densité de probabilité des signaux mesurés par le lock-in pour les deux niveaux AC envoyés avec des temps d'intégration de 1 s et de 30 ms. (c) est un lissage sur les rapports signal sur bruit obtenus pour différentes largeurs de filtres. La largeur de bande à laquelle le SNR est égal à 0 dB (6.62 Hz) définit la sensibilité de charge.

6.62 Hz. Sachant que le changement de tension utilisé équivaut à un changement de capacité pur de 5 fF sur C_s , on calcule que la sensibilité à la capacité du pont capacitif dans sa configuration optimale actuelle est de $1.94 \text{ fF}/\sqrt{\text{Hz}}$. Bien sûr, il faut comprendre que cela ne représente pas une valeur minimale détectable par le pont, mais simplement une indication du temps d'intégration nécessaire à l'obtention du signal étant donné les paramètres.

Ce qui limite la sensibilité dans ce cas-ci est la très faible amplitude (0.2 mV) utilisée sur le condensateur C_s . Par exemple, étant donné que $V_r = 5.13$ mV, la valeur de ΔC_r correspondant au même ΔV serait 194.9 aF, ce qui donnerait une sensibilité à la capacité de $75.8 \text{ aF}/\sqrt{\text{Hz}}$. Cette valeur s'approche de la sensibilité d'un circuit similaire de la littérature [33], qui avait été évaluée à $21 \text{ aF}/\sqrt{\text{Hz}}$ à température cryogénique, mais pour une excitation de plus grande amplitude (14 mV) sur une structure de capacité plus faible (250 aF). Il semble donc possible que notre prototype fasse preuve d'une meilleure sensibilité toutes choses étant équivalentes.

Conclusion

Dans ce travail, un circuit de pont capacitif cryogénique a été conçu, fabriqué, caractérisé et utilisé dans deux cas de figure pratiques, soit l'acquisition de courbes capacité-tension cryogéniques ainsi que la détection de charge.

Lors des phases de conception et de caractérisation, les meilleures composantes à utiliser ont premièrement été déterminées, puis les différents paramètres expérimentaux, c'est-à-dire les tensions de polarisation du transistor ainsi que les tensions oscillantes appliquées sur le pont ont été ajustées afin d'obtenir un régime où le pont fonctionnait optimalement tout en ayant une très faible dissipation thermique (210 nW). Cela rend le dispositif apte à être utilisé à la température minimale d'un réfrigérateur à dilution.

Les mesures capacité-tension réalisées à l'aide du dispositif correspondent bien aux attentes. On est en mesure d'observer les signatures attendues des courbes, et les derniers prototypes fournissent un large éventail de possibilités de connexion à l'échantillon qui ne requièrent aucune modification aux micro-soudures pour plus de facilité et de sécurité de manipulation.

Les mesures de détection de charge ont quant à elles réussi à montrer des signatures associées aux transitions de charge dans l'îlot d'un SET. Le fait qu'il soit possible d'observer une trentaine de transitions après le point de coupure du courant démontre sans l'ombre d'un doute la sensibilité de la méthode. Il faut toutefois noter que la source exacte de ce signal reste à déterminer avec certitude, ce qui pourrait facilement faire l'objet d'une continuation du projet.

Étant donné les résultats positifs obtenus dans le cadre de ce travail, il serait intéressant de continuer à améliorer le circuit de pont capacitif. Par exemple, comme la dissipation thermique du prototype actuel est très faible, il serait possible d'ajouter un second transistor

en cascade ¹ ou en cascode ² pour obtenir des gains beaucoup plus élevés et ainsi améliorer la sensibilité à la charge. Il serait même envisageable d'utiliser un transistor de type HBT [26], déjà utilisé afin d'amplifier le courant en sortie de certains SETs, comme deuxième amplificateur afin d'obtenir des gains plus élevés et une meilleure bande-passante [61]. Le circuit pourrait aussi être transposé à une approche complètement intégrée sur puce [33, 41], ce qui rendrait minimum la capacité parasite. Si ces améliorations portent leurs fruits, cela pourrait faciliter la caractérisation et la compréhension des signaux obtenus dans le cadre du projet, et pourrait même aller jusqu'à complètement remplacer les transistors monoélectroniques, ce qui aurait des effets majeurs pour le développement de l'ordinateur quantique à l'aide de boîtes quantiques.

1. Un amplificateur en cascade est composé de plusieurs transistors où le signal en sortie du premier devient le signal de grille du prochain.

2. Un amplificateur en cascode est composé de plusieurs transistors qui ont leurs canaux source-drain respectifs en série.

Annexe A

Calculs détaillés des valeurs de changement de capacité

A.1 Pour le SET seul

On montre ici comment arriver à l'équation 1.12 du texte principal. Précisons avant de débiter que les variables utilisées dans cette section sont les mêmes qui ont été définies dans la figure 1.1.

La quantité que l'on veut déterminer est, comme à la section 1.3.1, la dérivée $\frac{\partial Q}{\partial V_G}$, où Q est la charge totale dans l'îlot central. On peut déterminer Q de manière similaire à ce qui a été fait pour la 2BQ, c'est-à-dire en fonction des capacités des jonctions tunnel et de la grille.

Soit V le potentiel de l'îlot, on aurait que

$$Q = C_G(V_G - V) \tag{A.1}$$

$$Q = -e \langle n \rangle + C_S(V - V_S) + C_D(V - V_D) \tag{A.2}$$

Comme V est un paramètre incontrôlable de l'expérience, on peut utiliser ces deux équations pour l'éliminer. On a ainsi de A.1 que

$$V = V_G - \frac{Q}{C_G} \tag{A.3}$$

et donc A.2 devient

$$Q = -e \langle n \rangle + C_S(V_G - \frac{Q}{C_G} - V_S) + C_D(V_G - \frac{Q}{C_G} - V_D) \quad (A.4)$$

$$\rightarrow Q \frac{C_\Sigma}{C_G} = -e \langle n \rangle + C_S(V_G - V_S) + C_D(V_G - V_D) \quad (A.5)$$

où on a posé que $C_\Sigma = C_S + C_D + C_G$. On peut ainsi écrire que

$$Q = \alpha [-e \langle n \rangle + C_S(V_G - V_S) + C_D(V_G - V_D)] \quad (A.6)$$

$$= -\alpha e \langle n \rangle + \alpha(C_S + C_D)V_G - \alpha(C_S V_S + C_D V_D), \quad (A.7)$$

avec $\alpha = \frac{C_G}{C_\Sigma}$, le bras de levier de la grille. La capacité différentielle peut alors être évaluée comme étant

$$C_{\text{diff}} = \frac{d}{dV_G} (-\alpha e \langle n \rangle + \alpha(C_S + C_D)V_G - \alpha(C_S V_S + C_D V_D)) \quad (A.8)$$

$$= -\alpha e \frac{d \langle n \rangle}{dV_G} + \alpha(C_S + C_D) \quad (A.9)$$

On retrouve ici deux termes. Le premier est la capacité paramétrique. Le second correspond à

$$\alpha(C_S + C_D) = \frac{C_G (C_S + C_D)}{C_G + C_S + C_D} \quad (A.10)$$

ce qui est exactement le résultat que l'on aurait pour la capacité équivalente du dispositif à partir de la grille si la source et le drain étaient connectés à la masse. Il s'agit donc de la capacité dite géométrique.

A.2 Calcul pour le SET connecté au pont

Il est possible d'estimer la grandeur du signal qui sera capté par le pont en effectuant une analyse lagrangienne du circuit complet. Dans cette section, on commencera par effectuer l'analyse lagrangienne du circuit de pont capacitif de base, puis on fera séparément celle d'un SET avant de relier les différentes équations obtenues entre elles pour arriver à une conclusion finale quant aux limitations de la mesure.

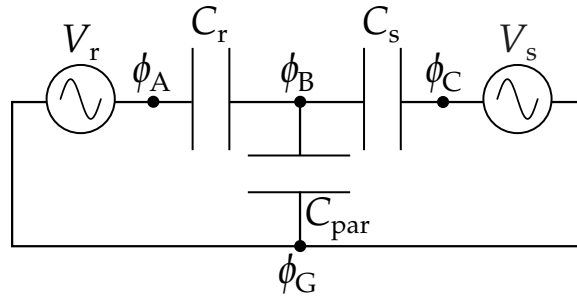


FIGURE A.1 Représentation simplifiée du pont à deux sources où sont représentés les symboles des flux de nœuds qui seront utilisés dans le cadre de l'analyse lagrangienne.

A.2.1 Pont capacitif seul

Commençons par le cas du pont capacitif simple. Le circuit est composé de quatre nœuds distincts (figure A.1) et d'autant de branches, qui sont les segments qui relient les nœuds. Chacune de ces branches possède, selon la théorie de Lagrange, un flux de branche, défini par la différence de potentiel appliquée sur la branche en question de la manière suivante

$$\Phi(t) = \int_{-\infty}^t (V_f - V_i) dt', \quad (\text{A.11})$$

où t est le temps, V_f le potentiel à la fin de la branche et V_i le potentiel au début de la branche. Ici, début et fin font référence au sens du courant. Il est aussi possible de définir des flux de nœuds (symbole ϕ), qui sont obtenus en additionnant les flux des branches qui lient un nœud donné au nœud de référence. Un flux de branche peut alors être exprimé simplement comme

$$\Phi(t) = \phi_f - \phi_i, \quad (\text{A.12})$$

où ϕ_f et ϕ_i sont respectivement les flux du nœud de fin et du nœud de début.

La première étape de l'analyse lagrangienne est de définir un nœud de référence autour duquel les potentiels des autres nœuds seront définis. Dans le cas actuel, on sélectionne à cette fin le nœud dénoté ϕ_G à la figure A.1. Comme ils sont reliés au nœud de référence par des sources de tension, les flux des nœuds A et C peuvent être définis comme étant

$$\phi_A = \int_{-\infty}^t V_r(t') dt' \quad (\text{A.13})$$

$$\phi_C = \int_{-\infty}^t V_s(t') dt' \quad (\text{A.14})$$

et on peut donc définir les flux de branches comme

$$\Phi_{C_r} = \phi_B - \phi_A = \phi_B - \int_{-\infty}^t V_r(t') dt' \quad (\text{A.15})$$

$$\Phi_{C_s} = \phi_B - \phi_C = \phi_B - \int_{-\infty}^t V_s(t') dt' \quad (\text{A.16})$$

$$\Phi_{C_{\text{par}}} = \phi_B - \phi_G = \phi_B. \quad (\text{A.17})$$

Les flux au-travers des sources correspondent quant à eux respectivement à ϕ_A et ϕ_C , mais ils ne sont pas importants pour la suite.

Il est maintenant possible d'écrire le Lagrangien du circuit. Il suffit de savoir que l'énergie emmagasinée dans un condensateur de capacité C est

$$E_C = \frac{1}{2} C V^2 = \frac{1}{2} C (\dot{\phi}_f - \dot{\phi}_i)^2 \quad (\text{A.18})$$

pour écrire que

$$\begin{aligned} \mathcal{L} &= \frac{C_r}{2} (\dot{\phi}_B - \dot{\phi}_A)^2 + \frac{C_s}{2} (\dot{\phi}_B - \dot{\phi}_C)^2 + \frac{C_{\text{par}}}{2} (\dot{\phi}_B - \dot{\phi}_G)^2 \\ &= \frac{C_r}{2} (\dot{\phi}_B - V_r(t))^2 + \frac{C_s}{2} (\dot{\phi}_B - V_s(t))^2 + \frac{C_{\text{par}}}{2} \dot{\phi}_B^2. \end{aligned} \quad (\text{A.19})$$

Comme ce système n'a qu'une seule coordonnée généralisée ($\dot{\phi}_B$), il y a seulement une équation de Lagrange, qui est

$$\frac{d}{dt} \frac{\partial \mathcal{L}}{\partial \dot{\phi}_B} - \frac{\partial \mathcal{L}}{\partial \phi_B} = 0. \quad (\text{A.20})$$

Or, comme le lagrangien de l'équation A.19 ne dépend pas de ϕ_B , l'équation A.20 devient

$$\begin{aligned} \frac{d}{dt} \frac{\partial \mathcal{L}}{\partial \dot{\phi}_B} &= 0 \\ \rightarrow \frac{\partial \mathcal{L}}{\partial \dot{\phi}_B} &= k \end{aligned} \quad (\text{A.21})$$

où k est une constante que l'on peut présumer égale à 0 sans perdre de généralité. On a donc de A.21 que

$$C_r (\dot{\phi}_B - V_r(t)) + C_s (\dot{\phi}_B - V_s(t)) + C_{\text{par}} \dot{\phi}_B = 0 \quad (\text{A.22})$$

$$\rightarrow \dot{\phi}_B = V_B(t) = \frac{C_r V_r(t) + C_s V_s(t)}{C_\Sigma}, \quad (\text{A.23})$$

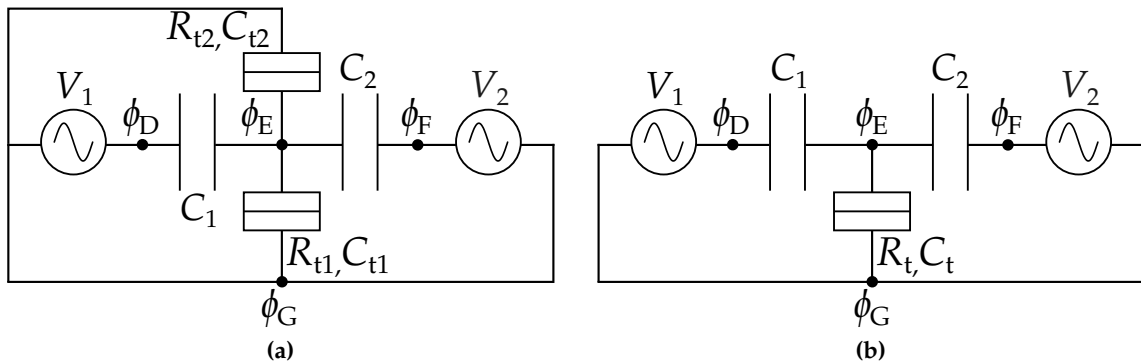


FIGURE A.2 (a) Représentation d'un transistor monoélectronique à deux grilles pour l'analyse lagrangienne. (b), représentation équivalente du même circuit.

avec $C_\Sigma = C_r + C_s + C_{\text{par}}$ la capacité totale du circuit. On peut remarquer que l'équation A.23 correspond à l'équation de base du pont capacitif à deux sources obtenue par application des lois de Kirchhoff (équation 1.19 du texte principal).

Les lecteurs familiers avec l'analyse lagrangienne de circuits électriques noteront que, dans le cas présent, il n'y a pas eu de choix d'arbre fondamental ou de branches de fermeture, qui sont typiquement des étapes nécessaires à l'analyse. En fait, ce sont ici des étapes que l'on ignore car, dans notre cas, les flux externes n'ont pas d'importance et seraient posés nuls de toute façon. Cela ne pourrait cependant pas être fait si les circuits comportaient des jonctions Josephson ou des inductances, car leur énergie fait intervenir directement les flux externes.

A.2.2 SET seul

Effectuons maintenant la même analyse sur un SET à deux grilles. En fait, le circuit est très similaire à celui du pont capacitif, à la différence près que l'un des condensateurs est ici remplacé par deux jonctions tunnel (figure A.2a), et que la charge de l'îlot sera ici décrite par un nombre quantique, ce qui n'était pas le cas du pont capacitif.

On peut tout de suite commencer par effectuer une simplification simple en constatant que les deux jonctions tunnel sont en parallèle entre les nœuds E et G . Comme les flux externes sont encore négligeables dans ce cas-ci, il est possible de visualiser le circuit comme celui qui est présenté à la figure A.2b, où les deux jonctions tunnels ont été combinées pour en former une, de capacité $C_t = C_{t1} + C_{t2}$ et de résistance $R_t = \frac{R_{t1}R_{t2}}{R_{t1}+R_{t2}}$ entre les mêmes nœuds. Il est maintenant possible de procéder comme à la section précédente pour obtenir le lagrangien du SET.

On a que les flux des nœuds D et F sont fixés par les sources de tension V_1 et V_2 comme étant

$$\phi_D(t) = \int_{-\infty}^t V_1(t') dt' \quad (\text{A.24})$$

$$\phi_F(t) = \int_{-\infty}^t V_2(t') dt'. \quad (\text{A.25})$$

Cela permet donc l'écriture des flux de branche comme étant

$$\Phi_{C_1} = \phi_E - \int_{-\infty}^t V_1(t') dt' \quad (\text{A.26})$$

$$\Phi_{C_2} = \phi_E - \int_{-\infty}^t V_2(t') dt' \quad (\text{A.27})$$

$$\Phi_{C_t} = \phi_E. \quad (\text{A.28})$$

On néglige ici le flux dans l'élément dissipatif R_t , qui devrait être négligeable par rapport au flux dans C_t . Cela donne alors le lagrangien suivant :

$$\mathcal{L} = \frac{C_1}{2} (\dot{\phi}_E - V_1(t))^2 + \frac{C_2}{2} (\dot{\phi}_E - V_2(t))^2 + \frac{C_t}{2} \dot{\phi}_E^2. \quad (\text{A.29})$$

Il est possible d'utiliser ce lagrangien pour calculer la charge au nœud E , car la charge est la variable conjuguée au flux de nœud. On a donc que, pour le nœud E ,

$$q_E = \frac{\partial \mathcal{L}}{\partial \dot{\phi}_E} = C_1 (\dot{\phi}_E - V_1(t)) + C_2 (\dot{\phi}_E - V_2(t)) + C_t \dot{\phi}_E, \quad (\text{A.30})$$

ce qui signifie que l'on peut écrire que

$$\dot{\phi}_E = V_E = \frac{q_E + C_1 V_1(t) + C_2 V_2(t)}{C_\Sigma}. \quad (\text{A.31})$$

Or, comme on sait que sur un SET la charge ne peut prendre que des valeurs discrètes, la bonne expression serait

$$\dot{\phi}_E = V_E = \frac{e \langle n \rangle + C_1 V_1(t) + C_2 V_2(t)}{C_\Sigma}. \quad (\text{A.32})$$

$$= \frac{e \langle n \rangle}{C_\Sigma} + \alpha_1 V_1(t) + \alpha_2 V_2(t), \quad (\text{A.33})$$

avec $\alpha_i = C_i / C_\Sigma$, le bras de levier de la grille i .

A.2.3 Pont capacitif connecté à un SET

Il s'agit maintenant de rassembler les résultats des deux sections précédentes. Pour ce faire, on peut utiliser l'astuce suivante : imaginons que la source de tension V_s du pont à la figure A.1 est en fait la tension V_E au centre du SET et que le condensateur C_s du pont est en fait le condensateur C_1 du SET. L'équation A.23 deviendrait alors

$$V_B(t) = \frac{C_r V_r(t) + C_1 V_E(t)}{C_\Sigma} \quad (\text{A.34})$$

Si l'on suppose maintenant que la charge $\langle n \rangle$ change dans le temps, de telle sorte qu'on puisse approximer la tension $V_E(t)$ par sa série de Taylor au premier ordre, on aurait que

$$V_E(t) \approx \frac{e \langle n \rangle (0)}{C_\Sigma} + \alpha_1 V_1(0) + \alpha_2 V_2(0) + \left(\frac{e}{C_\Sigma} \frac{\partial \langle n \rangle}{\partial t} + \alpha_1 \frac{\partial V_1}{\partial t} + \alpha_2 \frac{\partial V_2}{\partial t} \right) t, \quad (\text{A.35})$$

ce qui mène à

$$V_B(t) = \frac{C_r V_r(t)}{C_\Sigma} + \alpha_1 \left(\frac{e \langle n \rangle (0)}{C_\Sigma} + \alpha_1 V_1(0) + \alpha_2 V_2(0) + \left(\frac{e}{C_\Sigma} \frac{\partial \langle n \rangle}{\partial t} + \alpha_1 \frac{\partial V_1}{\partial t} + \alpha_2 \frac{\partial V_2}{\partial t} \right) t \right) \quad (\text{A.36})$$

$$= \alpha_1 \frac{e}{C_\Sigma} \frac{\partial \langle n \rangle}{\partial t} t, \quad (\text{A.37})$$

où la deuxième équation vient de la condition de balance du pont, qui implique que, au temps 0, la tension oscillante au centre du pont doit être nulle. On peut finalement remarquer que $\langle n \rangle$ ne changera pas de manière indépendante, mais plutôt suite à un changement du voltage de grille V_2 en DC. On peut donc écrire que

$$\frac{\partial \langle n \rangle}{\partial t} = \frac{\partial \langle n \rangle}{\partial V_2} \frac{\partial V_2}{\partial t} \quad (\text{A.38})$$

$$= \alpha_2 \frac{\partial \langle n \rangle}{\partial V_E} \frac{\partial V_2}{\partial t}, \quad (\text{A.39})$$

ce qui mène finalement à

$$V_B(t) = \alpha_1 \alpha_2 \frac{e}{C_\Sigma} \frac{\partial \langle n \rangle}{\partial V_E} \frac{\partial V_2}{\partial t} t. \quad (\text{A.40})$$

On peut constater que, dans cette dernière équation, le terme $\frac{\partial \langle n \rangle}{\partial V_E}$ qui définit la capacité quantique C_Q est multiplié par le produit des bras de leviers des grilles connectées au pont. Cela risque d'être problématique, car ce produit sera nécessairement faible. Le meilleur cas possible serait dans un dispositif à deux grilles et pour lequel $\alpha_1 = \alpha_2 = \frac{1}{2}$.

Annexe B

Développement détaillé des équations reliées au pont de capacité

B.1 Équation principale du pont

Soit le pont de capacité représenté à la figure 1.7. Comme des tensions sont appliquées sur l'une des bornes de C_r et C_s et que leur autre borne n'est pas flottante, on sait qu'il circulera des courants oscillants I_r et I_s dans les condensateurs. On peut utiliser ce fait en conjonction avec la loi des nœuds de Kirchhoff pour déterminer la tension V au point central du pont.

Loi 1. *La loi des nœuds de Kirchhoff stipule que, dans un circuit électrique, la somme des amplitudes des courants qui entrent par un nœud est égale à la somme des amplitudes des courants qui sortent du même nœud (voir figure B.1).*

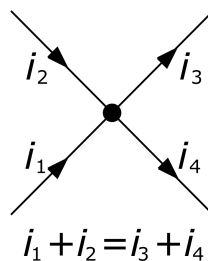


FIGURE B.1 Diagramme illustrant la loi des nœuds de Kirchhoff. Le point central représente un nœud du circuit électrique et les flèches le sens des différents courants arrivant au nœud.

Dans le cas actuel, le seul nœud intéressant est justement le nœud central. La loi des nœuds de Kirchhoff impose alors que

$$I_r + I_s = I_{\text{par}} \quad (\text{B.1})$$

où l'on a défini que I_r et I_s vont de leur source respective jusqu'au nœud central, et I_{par} va du nœud central jusqu'à la mise à la terre. À l'aide de la loi d'Ohm, on peut alors écrire cette équation comme étant

$$\begin{aligned} \frac{V_r - V}{Z_r} + \frac{V_s - V}{Z_s} &= \frac{V}{Z_{\text{par}}} \\ \rightarrow V \left(\frac{1}{Z_{\text{par}}} + \frac{1}{Z_s} + \frac{1}{Z_r} \right) &= \frac{V_r}{Z_r} + \frac{V_s}{Z_s}. \end{aligned} \quad (\text{B.2})$$

Or, on sait aussi que l'impédance d'un condensateur de valeur C s'écrit comme

$$Z_C = \frac{1}{j\omega C} = \frac{1}{j2\pi fC} \quad (\text{B.3})$$

où l'on définit $j = \sqrt{-1}$ et f la fréquence du signal pour lequel on veut connaître l'impédance. Ainsi, en combinant les équations B.2 et B.3, on obtient que

$$Vj\omega (C_{\text{par}} + C_s + C_r) = j\omega (V_r C_r + V_s C_s) \quad (\text{B.4})$$

et, comme la fréquence est la même partout dans le circuit, on obtient finalement

$$VC_{\Sigma} = V_r C_r + V_s C_s \quad (\text{B.5})$$

où l'on a défini $C_{\Sigma} = C_{\text{par}} + C_s + C_r$, ce qui correspond à l'équation principale du pont (éq. 1.19 du texte principal).

B.2 Équations pour l'amplitude et la phase

Même si cela n'est pas immédiatement apparent, l'équation B.5 peut être représentée par des nombres complexes. Cela est dû au fait que des tensions oscillantes sont appliquées sur le pont, et il faut donc se rappeler que pour un sinusoïde V_i donné, on a en fait que

$$V_i = |V_i| \cos(\omega_i t + \phi_i) = \text{Re}(|V_i| e^{j(\omega_i t + \phi_i)}). \quad (\text{B.6})$$

$|V_i| e^{j(\omega_i t + \phi_i)}$ est ce qui se nomme la représentation analytique de $|V_i| \cos(\omega_i t + \phi_i)$, et cela peut simplifier grandement les calculs de travailler avec cette représentation au lieu de la

représentation sinusoïdale. Comme dans le cas du pont capacitif la fréquence est la même pour tous les signaux, on peut en plus passer en représentation phaseur. Cela revient à ignorer la partie oscillante dans le temps de $|V_i|e^{j(\omega_i t + \phi_i)}$ et simplement écrire qu'aux fins d'analyse du circuit, on a que

$$V_i = |V_i|e^{j\phi}. \quad (\text{B.7})$$

Il est alors plus facile de développer des équations pour l'amplitude et la phase du signal V . En combinant les équations B.5 et B.7, on peut écrire que

$$|V|e^{j\phi} C_T = |V_r|e^{j\phi_r} C_r + |V_s|e^{j\phi_s} C_s \quad (\text{B.8})$$

$$= |V_r|C_r(\cos \phi_r + i \sin \phi_r) + |V_s|C_s(\cos \phi_s + i \sin \phi_s) \quad (\text{B.9})$$

$$= |V_r|C_r \cos \phi_r + |V_s|C_s \cos \phi_s + i(|V_r|C_r \sin \phi_r + |V_s|C_s \sin \phi_s). \quad (\text{B.10})$$

La norme et la phase de cette dernière expression peuvent ensuite être calculés comme étant

$$|V| = \frac{\left[(|V_r|C_r \cos \phi_r + |V_s|C_s \cos \phi_s)^2 + (|V_r|C_r \sin \phi_r + |V_s|C_s \sin \phi_s)^2 \right]^{1/2}}{C_\Sigma} \quad (\text{B.11})$$

et

$$\phi = \arctan \left(\frac{|V_r|C_r \sin \phi_r + |V_s|C_s \sin \phi_s}{|V_r|C_r \cos \phi_r + |V_s|C_s \cos \phi_s} \right), \quad (\text{B.12})$$

où il faut bien sûr corriger l'angle pour le quadrant du plan complexe dans lequel le phaseur se retrouve.

B.3 Dépendance en fréquence des lignes d'entrée

Dans cette section, on s'intéresse à calculer l'effet que les résistances d'isolation R_G et R_{G2} qui se retrouvent entre le point central du pont et les sources DC émettant les tensions à la grille du HEMT et à la grille du dispositif. Le circuit équivalent pour une seule entrée est représenté à la figure B.2. L'équation recherchée est celle qui permet de relier V_{in} et V_{out} . On peut l'obtenir en commençant par calculer le courant total qui sera débité par la source V_{in} .

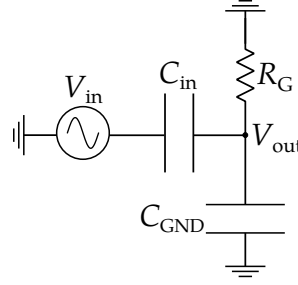


FIGURE B.2 Schéma du filtre passe-haut formé à l'entrée du pont capacitif. V_{in} représente l'une des deux tensions d'excitation du pont (V_r ou V_s), et C_{in} est le condensateur correspondant. La résistance R_G et le condensateur C_{GND} doivent ici être interprétés comme étant les valeurs équivalentes de toutes les composantes résistives et capacitives du circuit qui se trouvent à être en parallèle entre le point central du pont et la masse.

Il suffit pour cela de calculer l'impédance équivalente reliant V_{in} à la masse, qui est

$$Z_{eq} = \frac{1}{j\omega C_{in}} + \left(\frac{1}{R_G} + j\omega C_{GND} \right)^{-1} \quad (B.13)$$

$$= \frac{1}{j\omega C_{in}} + \frac{R_G}{j\omega C_{GND} R_G + 1} \quad (B.14)$$

$$= \frac{R_G j\omega (C_{GND} + C_{in}) + 1}{j\omega C_{in} (j\omega C_{GND} R_G + 1)}, \quad (B.15)$$

pour ensuite calculer le courant comme étant

$$I_{in} = \frac{V_{in}}{Z_{eq}} = V_{in} \frac{j\omega C_{in} (j\omega C_{GND} R_G + 1)}{R_G j\omega (C_{GND} + C_{in}) + 1}. \quad (B.16)$$

On aura alors que la tension en sortie sera

$$V_{out} = V_{in} - \frac{I_{in}}{j\omega C_{in}} \quad (B.17)$$

$$= V_{in} \left(1 - \frac{(j\omega C_{GND} R_G + 1)}{R_G j\omega (C_{GND} + C_{in}) + 1} \right). \quad (B.18)$$

Bien sûr, les composantes capacitives dans le circuit font en sorte qu'il s'agisse d'une équation complexe, c'est-à-dire où il y a à la fois des changements en amplitude et en phase. À l'aide de MATHEMATICA, il est aussi possible de séparer les parties réelles et imaginaires pour finalement écrire que

$$|V_{out}| = |V_{in}| 2\pi f \frac{C_{in} R_G}{\sqrt{1 + 4(C_{GND} + C_{in})^2 f^2 \pi^2 R_G^2}}. \quad (B.19)$$

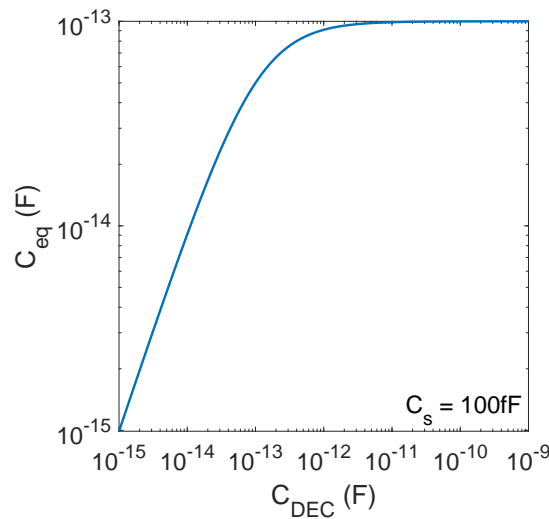


FIGURE B.3 Effet de la valeur de la capacité de découplage sur la capacité équivalente de la branche de l'échantillon du pont en supposant que $C_s = 100\text{fF}$.

B.4 Valeur de capacité de découplage à utiliser

Le condensateur supplémentaire C_{DEC} ajouté au second prototype doit être choisi de manière à affecter le moins possible le fonctionnement du pont. La manière la plus fiable de s'assurer de cela est d'avoir $C_{\text{DEC}} \gg C_s$. Il est facile de voir pourquoi à partir de la figure 3.6c, où on constate que C_{DEC} se retrouve en série avec C_s , symbolisé sur cette figure par les différentes grilles du dispositif. Pour simplifier les choses, on peut ignorer la présence de la résistance R_{G2} , qui forme simplement avec les capacités un filtre passe-haut tel que décrit à la section précédente, cela revient en quelque sorte à prendre la limite haute-fréquence du système, qui est le régime pertinent de toute manière. On aura alors que la capacité équivalente de la branche sera

$$C_{\text{eq}} = \frac{C_{\text{DEC}}C_s}{C_{\text{DEC}} + C_s}. \quad (\text{B.20})$$

Si on assume que $C_s = 0.1\text{ pF}$, ce qui est raisonnable selon les mesures expérimentales, alors on a que C_{eq} décrit la courbe présentée à la figure B.3 en fonction de C_{DEC} . Cette figure permet de constater qu'il y a stabilisation de la capacité équivalente à partir de valeurs aussi basses que 1 pF , soit seulement 10 fois plus que C_s . Ainsi, une capacité de l'ordre du nanofarad n'aura aucun effet sur la capacité effective de la branche et n'affectera donc pas le point de balance, et ce même si C_s est plus grande qu'estimé. Cela a d'ailleurs été confirmé par simulation du circuit complet avec LTSPICE.

Annexe C

Effet du HEMT sur le pont capacitif

On a expliqué à la section 2.1.1 qu'il est possible d'utiliser un transistor à effet de champ afin de réduire la capacité totale effective du circuit. Dans cette sous-section, on s'intéresse à l'effet qu'un tel transistor aura sur le signal en sortie. Pour ce faire, il est d'abord utile de comprendre comment un FET dans cette configuration fonctionne. On présente d'abord le circuit de polarisation le plus général possible pour ce type de transistor, c'est-à-dire un circuit où une résistance se trouve à la fois sur le drain, la source et la grille et où des tensions DC sont appliquées sur ces trois bornes (figure C.1a). Dans un FET idéal, le seul courant qui circulera dans le circuit se trouvera dans le canal source-drain du transistor (I_D). Cela est le cas à cause de l'impédance de grille très élevée du transistor, qui empêche tout courant de la traverser. Comme il n'y a qu'un canal de conduction, le courant circulant dans R_D et dans R_S est aussi égal à I_D . En supposant que $V_{DD} > V_{SS}$, il est possible de mettre en relation les tensions V_D , V_S et V_G de la figure C.1a avec les tensions V_{DD} , V_{SS} et V_{GG} comme suit :

$$V_D = V_{DD} - R_D I_D \quad (C.1)$$

$$V_S = V_{SS} + R_S I_D \quad (C.2)$$

$$V_G = V_{GG} - R_G I_G = V_{GG}. \quad (C.3)$$

Ces modifications aux tensions appliquées sont ce qui rendent les circuits de polarisation intéressants. On supposera pour la suite se trouver dans le cas représenté à la figure 2.2, où $R_D \gg R_S$, de sorte à ce que l'effet de R_S soit négligeable. Ce qu'il se produit est que la résistance R_D ajoute une contrainte à la valeur de courant pouvant circuler dans le canal, ce que l'on illustre à la figure C.1b, où les lignes bleues représentent le courant qui circulerait en l'absence de résistance dans le FET pour les tensions de drain et de grille données, alors

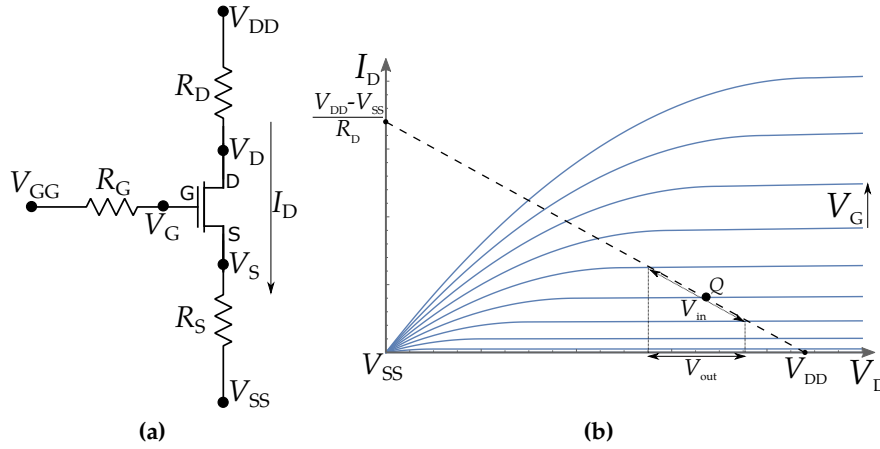


FIGURE C.1 (a), Diagramme du circuit de polarisation général pour un transistor à effet de champ. Les points représentent les tensions DC de polarisation avant et après les résistances. (b), contraintes sur le courant pouvant circuler dans un transistor en configuration source commune avec $R_S \ll R_D$. Les lignes bleues et la ligne pointillée représentent respectivement le courant qui circulerait dans le transistor et le courant qui circulerait dans la résistance pour les paramètres donnés.

que la ligne pointillée est le courant qui circulerait dans la résistance pour les mêmes tensions de drain. Les courants qui peuvent réellement circuler dans le circuit sont ceux qui se trouvent aux intersections de ces lignes¹. Cela signifie qu'une modification de la tension de grille aura maintenant un effet sur la tension V_D , ce qui ne serait pas le cas en l'absence de la résistance R_D , où on aurait que $V_{DD} = V_D$.

En fait, cela permet de réaliser un circuit d'amplification AC où l'entrée est la grille du transistor, et la sortie sa tension de drain (V_D). Le principe de fonctionnement d'un tel circuit est en fait plutôt simple. Imaginons que la tension de grille contienne maintenant une oscillation d'amplitude $V_{G_{AC}}$ en plus du niveau DC V_G . Il suffit de sélectionner un point d'opération (le point Q de la figure C.1b) pour lequel l'amplitude de $V_{G_{AC}}$ fait en sorte que le courant dans le SET demeure sur un plateau des courbes bleues, puis de mesurer la tension V_D . Comme illustré, l'oscillation de V_G se traduira maintenant en une oscillation de V_D à la même fréquence et à une amplitude multipliée par un certain facteur de gain ($V_{D_{AC}} = \alpha V_{G_{AC}}$). Ce facteur de gain peut être estimé comme étant

$$\alpha = -\frac{g_m R_D}{1 + g_m R_S}, \quad (\text{C.4})$$

1. Bien entendu, les lignes de courant dans le transistor de la figure C.1b font en fait partie d'un continuum en tension de grille, et ne sont donc pas discrètes comme ce qui est représenté.

où g_m est la transconductance du transistor, définie comme étant

$$g_m = \frac{\Delta I_D}{\Delta V_G}, \quad (\text{C.5})$$

c'est-à-dire le ratio entre une modification du courant dans le canal du transistor et une modification de sa tension de grille. La transconductance d'un transistor donné est affectée seulement par le régime d'opération dans lequel il se trouve : elle est plus faible si, par exemple, le FET est opéré dans le régime résistif². Certains groupes [33] disent en contrepartie avoir observé une meilleure stabilité et moins de bruit dans ce régime.

On remarque dans l'équation C.4 que le gain est proportionnel à R_D , ce que l'on peut comprendre intuitivement du fait qu'une résistance plus élevée donnerait, à V_{DD} égal, une ligne de polarisation plus horizontale sur la figure C.1b, et donc qu'un même changement de V_G résulterait en un changement de V_D de plus grande amplitude. Notons toutefois que l'utilisation d'une valeur de R_D trop élevée impliquerait une impédance de sortie élevée et il pourrait alors en résulter une division de potentiel entre cette impédance et l'impédance d'entrée de l'amplificateur lock-in utilisé pour détecter la tension. Il y a donc un compromis à trouver. Le signe négatif dans l'expression C.4 signifie quant à lui que le signal AC en sortie aura une phase décalée d'un demi-cycle par rapport au signal en entrée. Cela est le cas car une diminution de V_G cause une diminution de I_D et donc une augmentation de V_D (voir équation C.1).

Pour résumer, le circuit du transistor présenté à la figure 2.2 fonctionne en utilisant le signal AC du centre du pont comme composante oscillante du voltage de grille, qui module le courant dans le canal. Comme une résistance de drain R_D est connectée au transistor, cette modulation du courant crée une modulation mesurable du voltage V_D , à la même fréquence, mais déphasée d'un demi-cycle et multipliée par un facteur de gain dépendant de la valeur de R_D et du point de fonctionnement du transistor. Cela n'affecte pas le fonctionnement de base du pont. On peut toutefois se demander à quoi sert la résistance R_G qui est présente dans le circuit de la figure 2.2 si elle ne joue aucun rôle pour la polarisation du transistor. En fait, il faut comprendre que le signal DC qui est envoyé sur la grille du FET doit lui aussi passer par un câble possédant une grande capacité parasite, et qui aurait donc le même effet que le câble que l'on voulait découpler à l'aide du FET. Or, comme ce câble n'a qu'à conduire une tension DC et qu'aucun courant ne le traverse, une approche viable est de simplement former un filtre RC sur celui-ci, ce qui empêchera le pont d'être affecté par la capacité parasite de la ligne.

2. Le régime dit résistif correspond à la partie des courbes du transistor qui se situe avant la saturation à la figure C.1b.

Annexe D

Conception de condensateurs coplanaires

Le second objectif de la première série d'expériences était de tenter la détection d'une différence de capacité de l'ordre de la dizaine d'attofarads. Un problème survient cependant lorsque l'on se rend compte que les condensateurs disponibles commercialement ont rarement des capacités plus faibles que 100 fF, soit 10 000 fois plus élevées. Cela est normal étant donné le fait qu'il s'agisse de condensateurs de type plaques parallèles. Il existe toutefois une solution à notre problème, qui est de fabriquer des condensateurs de type coplanaires. Ceux-ci sont basés sur le fait qu'il existera un faible champ électrique entre deux doigts métalliques plats, chargés et près l'un de l'autre, et qu'il y a donc une capacité existant entre les deux. Il est possible d'estimer cette capacité comme étant [62] :

$$C = \frac{2\epsilon_r\epsilon_0}{\pi} \frac{w^2 l}{(l + 2d)^2 - l^2}, \quad (\text{D.1})$$

où ϵ_r est la permittivité relative du substrat et ϵ_0 est la permittivité du vide. Les autres paramètres sont illustrés à la figure D.1. Il faut toutefois noter que l'équation D.1 est seulement valide si, pour les deux lignes, on a $l \gg [d, w]$, c'est-à-dire s'il s'agit de lignes semi-infinies. Par simulation avec MATHEMATICA, il a été possible d'observer que si $d \leq \frac{l}{50}$, alors C devient asymptotique à une valeur stable. Cela signifie donc que pour $d = 10 \mu\text{m}$, il faudrait avoir au minimum $l = 500 \mu\text{m}$ pour que l'équation soit valide, ce qui est expérimentalement réalisable.

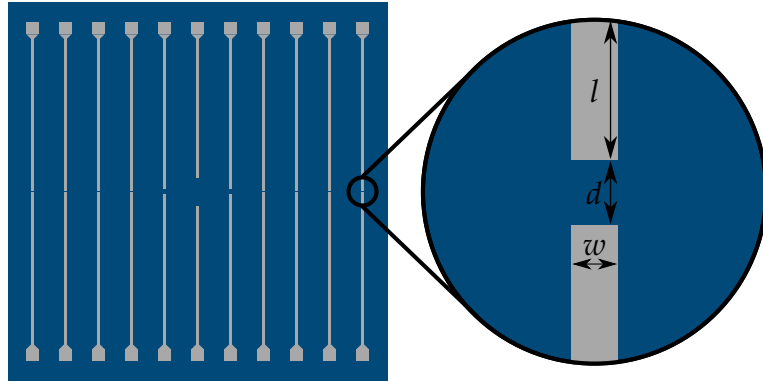


FIGURE D.1 Illustration de la puce de condensateurs coplanaires utilisée comme C_s sur le PCB de la figure 3.1. Les lignes (en gris) sont fabriquées en niobium sur un substrat de GaAs (bleu) et peuvent être micro-soudées au PCB à l'aide des plots prévus à cet effet à chacune de leurs extrémités. L'espacement d entre les deux lignes varie d'un condensateur à l'autre.

La puce représentée à la figure D.1 a été fabriquée¹ à partir d'un substrat de GaAs ($\epsilon_r = 12.9$ à 1.5 K) sur lequel ont été fabriqués les condensateurs en niobium d'épaisseur 60 nm. Des plots de microsoudure permettant de connecter l'échantillon au PCB sont aussi formés à chaque extrémité des lignes. Ceux-ci sont plaqués avec une bicouche de titane (10 nm) et de platine (100 nm). Comme ils sont situés à plusieurs millimètres des gaps centraux, leur effet sur la capacité des condensateurs devrait être minime. Au total, 11 condensateurs utilisant 6 dimensions différentes de gap (d) forment la puce de test. Les dimensions exactes telles que mesurées post-fabrication sont données au tableau D.1.

1. La fabrication de ces dispositifs a été assurée par Dany Lachance-Quirion, qui était alors étudiant au doctorat dans notre groupe (maintenant étudiant postdoctoral dans le groupe du Pr. Yasunobu Nakamura à l'Université de Tokyo), ce pourquoi je le remercie.

Dispositif	d (μm)	w (μm)	l (μm)	C (aF)
A1	2.5	10.3	4149	830
B1	7.5	10.7	4145	280
C1	12.1	10.5	4143	170
D1	21.6	10.2	4139	96
E1	35.0	10.2	4132	59
F	500	10	3900	3.2
E2	34.7	10.4	4132	65
D2	21.5	10.1	4139	110
C2	12.3	10.0	4143	170
B2	8.7	10.0	4145	240
A2	3.1	10.0	4149	670

Tableau D.1 Dimensions des différents condensateurs coplanaires fabriqués tels que mesurés par microscopie optique et leurs capacités correspondantes estimées à l'aide de l'équation D.1 et de $\epsilon_r = 12.9$.

Annexe E

Diagrammes de stabilité additionnels

Ces diagrammes de stabilité représentent toutes les combinaisons possibles de deux grilles qui incluent SETU. L'idée derrière ces mesures était de tenter de comprendre à quel endroit pouvait se situer la structure qui est la cause du signal de fond. Les diagrammes ont tous été capturés à l'interface entre les régimes avec et sans transport. Les pics en courant peuvent donc être utilisés pour s'assurer de bien identifier les transitions détectées par le pont.

Il est intéressant de remarquer que, pour la majorité des diagrammes, le signal de fond semble suivre des lignes qui vont dans la même direction que les transitions du SET, c'est-à-dire que pour suivre un pic donné, une augmentation de la tension sur SETU équivaut à une diminution de la tension sur l'autre grille. Il en est toutefois tout autre lorsque la grille ASET est utilisée. Dans ce cas, on voit plutôt que les transitions du SET vont encore dans la même direction, mais que les pics constituant le signal de fond vont plutôt dans la direction inverse. Cela peut provenir de plusieurs sources. Il se peut par exemple que cette partie du signal provienne de trous au lieu de provenir d'électrons, dans quel cas une telle dépendance serait attendue.

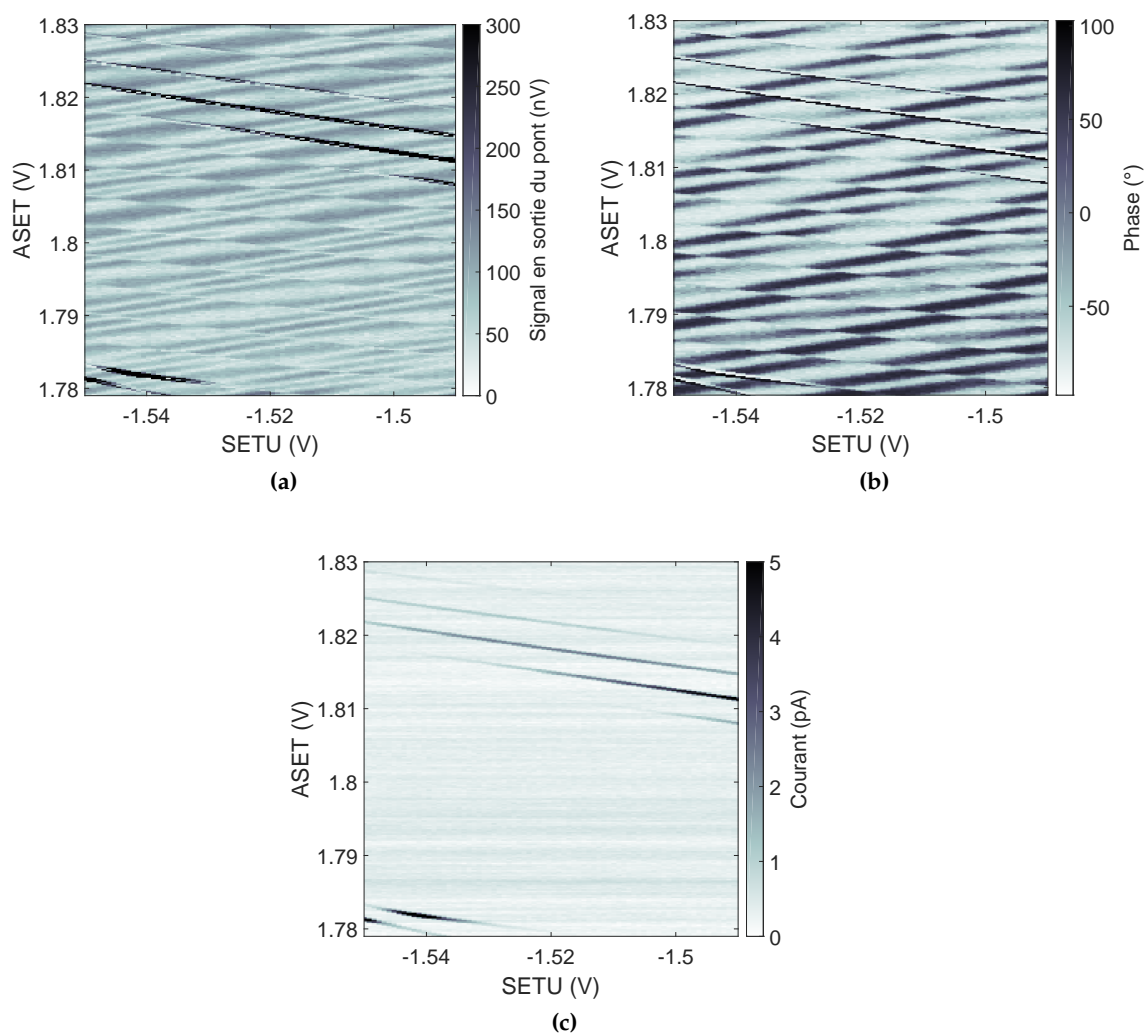
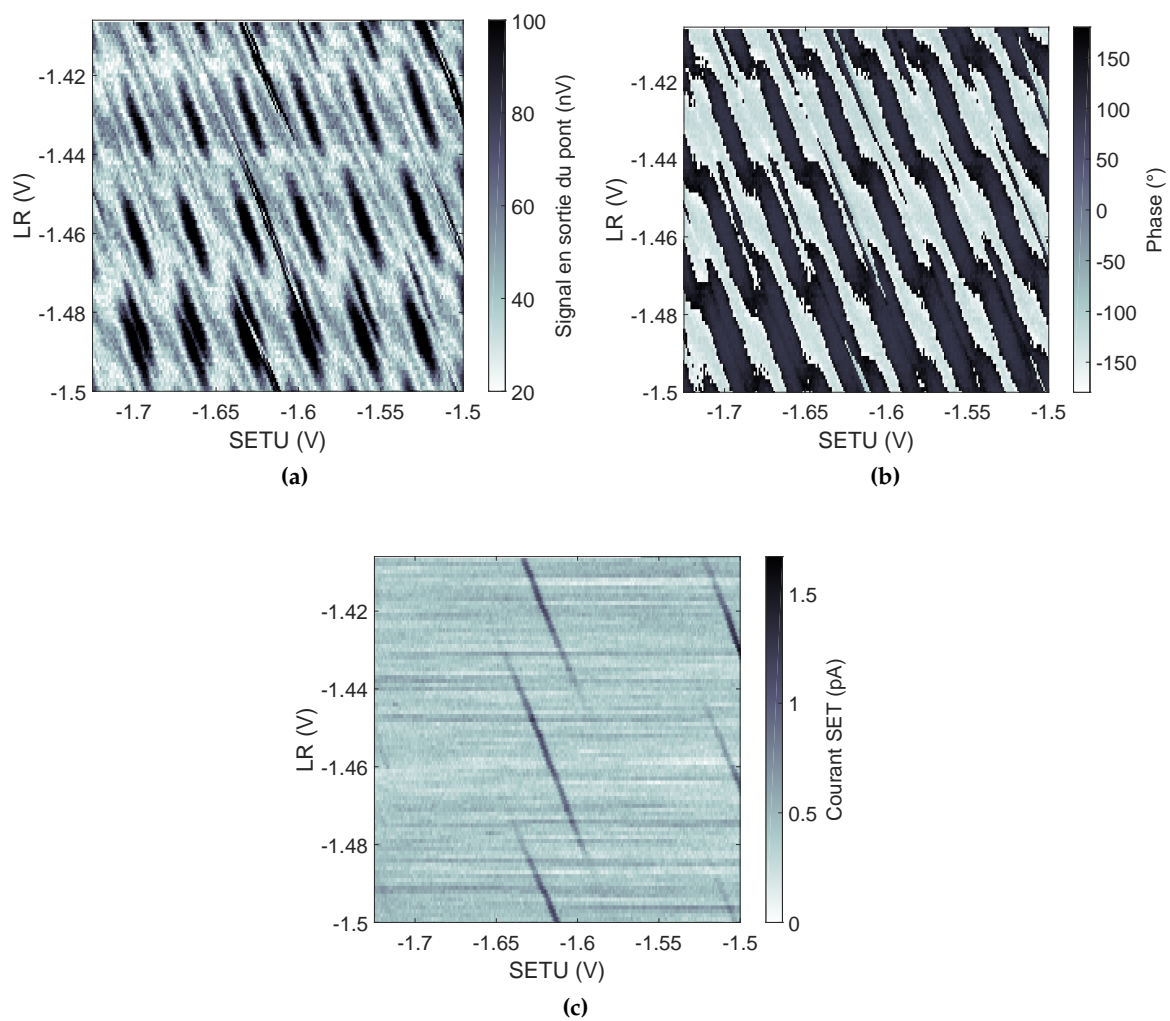
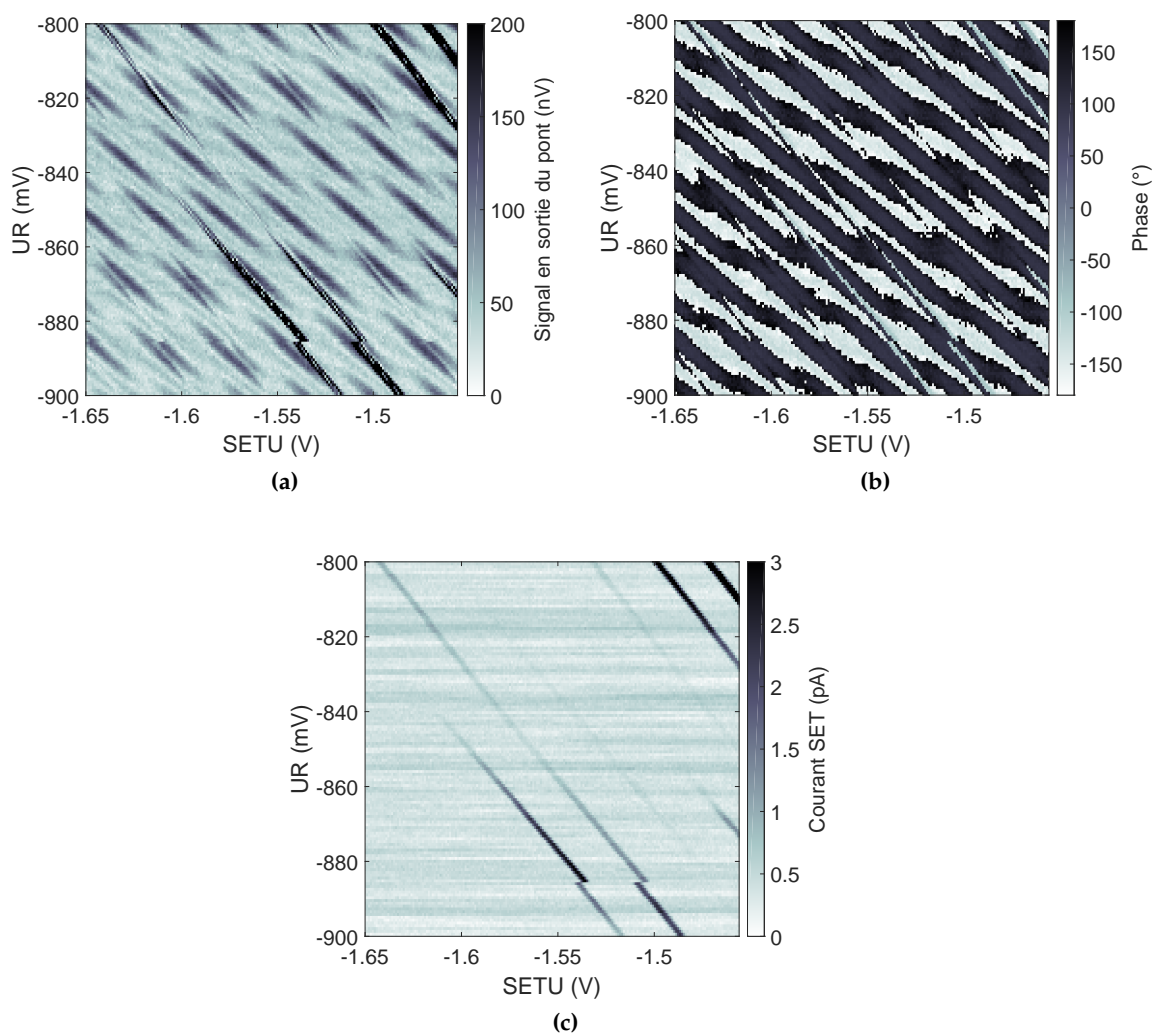


FIGURE E.1 Diagrammes SETU-ASET

**FIGURE E.2** Diagrammes SETU-LR

**FIGURE E.3** Diagrammes SETU-UR

Bibliographie

1. MILLIKAN, R. A. On the elementary electrical charge and the avogadro constant. *Physical Review* **2**, 109-143 (1913) (cf. p. 1).
2. FEYNMAN, R. P. Simulating physics with computers. *International Journal of Theoretical Physics* **21**, 467-488 (1982) (cf. p. 1).
3. LOSS, D. & DIVINCENZO, D. P. Quantum Computation with Quantum Dots. *Physical Review A* **57**, 12 (1998) (cf. p. 1).
4. SHOR, P. W. Polynomial-Time Algorithms for Prime Factorization and Discrete Logarithms on a Quantum Computer, 124-134 (1995) (cf. p. 1).
5. CLARKE, J. & WILHELM, F. K. Superconducting quantum bits. *Nature* **453**, 1031-1042 (2008) (cf. p. 2).
6. KNILL, E., LAFLAMME, R. & MILBURN, G. J. A scheme for efficient quantum computation with linear optics. *Nature* **409**, 46-52 (jan. 2001) (cf. p. 2).
7. FOWLER, A. G., MARIANTONI, M., MARTINIS, J. M. & CLELAND, A. N. Surface codes : Towards practical large-scale quantum computation. *Physical Review A* **86**. doi :[10.1103/PhysRevA.86.032324](https://doi.org/10.1103/PhysRevA.86.032324). arXiv : [1208.0928](https://arxiv.org/abs/1208.0928) (2012) (cf. p. 2).
8. VELDHORST, M. *et al.* A Two Qubit Logic Gate in Silicon. *Nature* **526**, 410-414 (nov. 2014) (cf. p. 2).
9. NOWACK, K. C., KOPPENS, F. H. L., NAZAROV, Y. V. & VANDERSYPEN, L. M. K. Coherent Control of a Single Electron Spin with Electric Fields. *Science* **318**, 1430-1433 (nov. 2007) (cf. p. 2).
10. PIORO-LADRIÈRE, M. *et al.* Electrically driven single-electron spin resonance in a slanting Zeeman field. *Nature Physics* **4**, 776-779 (2008) (cf. p. 2).
11. ELZERMAN, J. M. *et al.* Single-shot read-out of an individual electron spin in a quantum dot. *Nature* **430**, 431-435 (juil. 2004) (cf. p. 2, 8).
12. MORELLO, A. *et al.* Single-shot readout of an electron spin in silicon. *Nature* **467**, 687-691 (oct. 2010) (cf. p. 2, 8).
13. VELDHORST, M. *et al.* An addressable quantum dot qubit with fault-tolerant control fidelity. *Nature nanotechnology* **9**, 1-10 (2014) (cf. p. 2).
14. MAURAND, R. *et al.* A CMOS silicon spin qubit. *Nature Communications* **7**, 13575 (nov. 2016) (cf. p. 2).

15. HORNIBROOK, J. M. *et al.* Frequency multiplexing for readout of spin qubits. *Applied Physics Letters* **104**, 103108 (mar. 2014) (cf. p. [2](#), [9](#), [11](#)).
16. VELDHORST, M., EENINK, H. G. J., YANG, C. H. & DZURAK, A. S. Silicon CMOS architecture for a spin-based quantum computer. *Nature Communications* **8**, 1766 (déc. 2017) (cf. p. [2](#), [9](#)).
17. SCHAAL, S., BARRAUD, S., MORTON, J. J. L. & GONZALEZ-ZALBA, M. F. *Conditional dispersive readout of a CMOS quantum dot via an integrated transistor circuit* août 2017. arXiv : [1708.04159](#) (cf. p. [2](#)).
18. FRANKE, D. P., CLARKE, J. S., VANDERSYPEN, L. M. K. & VELDHORST, M. *Rent's rule and extensibility in quantum computing* 2018. arXiv : [1806.02145](#) (cf. p. [2](#)).
19. DUTY, T. *et al.* Observation of quantum capacitance in the Cooper-Pair transistor. *Physical Review Letters* **95**, 1-4 (2005) (cf. p. [2](#), [9](#), [13](#)).
20. WALLRAFF, A. *et al.* Approaching Unit Visibility for Control of a Superconducting Qubit with Dispersive Readout. *Physical Review Letters* **95**, 060501 (sept. 2005) (cf. p. [2](#), [9](#)).
21. COLLESS, J. I. *et al.* Dispersive Readout of a Few-Electron Double Quantum Dot with Fast rf Gate-Sensors. *Physical Review Letters* **110**, 1-5 (oct. 2012) (cf. p. [2](#), [9](#), [11](#), [12](#), [81](#)).
22. GONZALEZ-ZALBA, M. F., BARRAUD, S., FERGUSON, a. J. & BETZ, a. C. Probing the limits of gate-based charge sensing. *Nature Communications* **6**, 6084 (déc. 2015) (cf. p. [2](#)).
23. CRIPPA, A. *et al.* Level Spectrum and Charge Relaxation in a Silicon Double Quantum Dot Probed by Dual-Gate Reflectometry. *Nano Letters* **17**, 1001-1006 (fév. 2017) (cf. p. [2](#), [9](#), [12](#)).
24. ROSSI, A., ZHAO, R., DZURAK, A. S. & GONZALEZ-ZALBA, M. F. Dispersive readout of a silicon quantum dot with an accumulation-mode gate sensor. *Applied Physics Letters* **110**, 212101 (mai 2017) (cf. p. [2](#), [9](#)).
25. ASHOORI, R. C. *et al.* Single-electron capacitance spectroscopy of discrete quantum levels. *Physical Review Letters* **68**, 3088-3091 (mai 1992) (cf. p. [3](#), [16](#), [30](#), [33](#)).
26. CURRY, M. J. *et al.* Cryogenic preamplification of a single-electron-transistor using a silicon-germanium heterojunction-bipolar-transistor. *Applied Physics Letters* **106**, 203505 (2015) (cf. p. [8](#), [87](#)).
27. PETERSSON, K. D. *et al.* Charge and Spin State Readout of a Double Quantum Dot Coupled to a Resonator. *Nano Letters* **10**, 2789-2793 (sept. 2010) (cf. p. [9](#), [12](#)).
28. MIZUTA, R., OTXOA, R. M., BETZ, A. C. & GONZALEZ-ZALBA, M. F. Quantum and tunneling capacitance in charge and spin qubits. *Physical Review B* **95**, 045414 (jan. 2017) (cf. p. [11-14](#)).
29. NURYADI, R. *Numerical Simulations of Physical and Engineering Processes* (éd. AWREJCWICZ, J.) 239-256. doi :[10.5772/1828](#) (InTech, sept. 2011) (cf. p. [14](#)).
30. SCHOLZE, A., SCHENK, A. & FICHTNER, W. Single-Electron Device Simulation. *IEEE Transactions on Electron Devices* **47**, 1811-1818 (2000) (cf. p. [14](#)).

31. HANSON, R., KOUWENHOVEN, L. P., PETTA, J. R., TARUCHA, S. & VANDERSYPEN, L. M. K. Spins in few-electron quantum dots. *Reviews of Modern Physics* **79**, 1217-1265 (oct. 2006) (cf. p. 14).
32. ASHOORI, R. C. *The Density of States in the Two-Dimensional Electron Gas and Quantum Dots* thèse de doct. (1991). arXiv : 0607739 [cond-mat] (cf. p. 16).
33. SULPIZIO, J. A., HAZEGHI, A., DIANKOV, G., GOLDBABER-GORDON, D. & WONG, H. S. P. An integrated capacitance bridge for high-resolution, wide temperature range quantum capacitance measurements. *Review of Scientific Instruments* **82**, 1-5 (sept. 2010) (cf. p. 16, 30, 33, 42, 56, 85, 87, 102).
34. MOON, J.-S. US 7,830,695 B1 (2010) (cf. p. 16).
35. HU, C. in *Modern Semiconductor Devices for Integrated Circuits* 1^{re} éd., 157-193 (Pearson, 2009) (cf. p. 24).
36. SCHRODER, D. K. in *Semiconductor Material and Device Characterization* 3^e éd. Chap. 4 (John Wiley et Sons, Inc., Hoboken, NJ, USA, oct. 2005). doi : 10.1002/0471749095 (cf. p. 27).
37. TEYSSANDIER, F. & PRÊLE, D. *Commercially Available Capacitors at Cryogenic Temperatures in Ninth International Workshop on Low Temperature Electronics - WOLTE9* (Guaruja, Brazil, 2010). <https://hal.archives-ouvertes.fr/hal-00623399> (cf. p. 33).
38. AMERICAN TECHNICAL CERAMICS. *ATC700B Series NPO Porcelain and Ceramic Multilayer Capacitors* 2014. <https://www.atceramics.com/pdf/700b.pdf> (cf. p. 33, 41, 48, 51).
39. SUSUMU CO. *RG Series, Ultra Precision Tolerance Thin Film Chip Resistor* 2012. http://susumu-usa.com/pdf/RG_RM_RGH_DATASHEET.pdf (cf. p. 33).
40. TRACY, L. A. *et al.* Single shot spin readout using a cryogenic high-electron-mobility transistor amplifier at sub-Kelvin temperatures. *Applied Physics Letters* **108**, 063101 (fév. 2016) (cf. p. 33, 34, 56).
41. STEELE, G. A. *Imaging Transport Resonances in the Quantum Hall Effect* thèse de doct. (MIT, 2005) (cf. p. 33, 87).
42. AVAGO TECHNOLOGIES. *ATF-36163 HEMT* (2008). <https://docs.broadcom.com/docs/AV02-1441EN> (cf. p. 34, 41).
43. ZORIN, A. B. The thermocoax cable as the microwave frequency filter for single electron circuits. *Review of Scientific Instruments* **66**, 4296-4300 (1995) (cf. p. 39).
44. KALRA, R. *et al.* Vibration-induced electrical noise in a cryogen-free dilution refrigerator : Characterization, mitigation, and impact on qubit coherence. *Review of Scientific Instruments* **87**, 1-13 (juil. 2016) (cf. p. 39).
45. KEITHLEY INSTRUMENTS. *Fiche technique, 2182A Nanovoltmeter* (2013), 1. <https://tek.com/datasheet/nanovoltmeter-model-2182a> (cf. p. 39).
46. STANFORD RESEARCH SYSTEMS. *DSP Lock-In Amplifier model SR830* 1290 Révision 1.5 (1999), 3-21. www.thinksrs.com/downloads/PDFs/Manuals/SR830m.pdf (cf. p. 40, 83).

47. SCHMID, R. *Measuring Board Parasitics in High-Speed Analog Design* rapp. tech. (Texas Instruments, 2003), 1-9. <http://www.ti.com/lit/an/sboa094/sboa094.pdf> (cf. p. 47).
48. BAXTER, L. K. *Capacitive Sensors: Design and Applications* 1^{re} éd., 15 (John Wiley et Sons, Inc., 1996) (cf. p. 51).
49. VENDIK, O. G., ZUBKO, S. P. & NIKOL'SKII, M. A. Modeling and calculation of the capacitance of a planar capacitor containing a ferroelectric thin film. *Technical Physics* **44**, 349-355 (avr. 1999) (cf. p. 53).
50. GEVORGIAN, S. & ABADÉI, S. *Analytic approximations for multilayer substrate coplanar-plate capacitors* in *IEEE MTT-S International Microwave Symposium Digest*, 2005. (IEEE, 2005), 1435-1438. doi :[10.1109/MWSYM.2005.1516957](https://doi.org/10.1109/MWSYM.2005.1516957) (cf. p. 53).
51. VUKADINOVIC, M., MALIC, B., KOSEC, M. & KRIZAJ, D. Modelling and characterization of thin film planar capacitors : inherent errors and limits of applicability of partial capacitance methods. *Measurement Science and Technology* **20**, 115106 (nov. 2009) (cf. p. 53).
52. Del ALAMO, J. *Microelectronic Devices and Circuits - Frequency Response of Amplifiers (I)* 2005. <https://ocw.mit.edu> (cf. p. 55).
53. SCHRODER, D. K. in *Semiconductor Material and Device Characterization* 3^e éd. Chap. 8 (John Wiley et Sons, Inc., Hoboken, NJ, USA, oct. 2005). doi :[10.1002/0471749095](https://doi.org/10.1002/0471749095) (cf. p. 63).
54. NATHANSON, H., JUND, C. & GROSVLET, J. Temperature dependence of apparent threshold voltage of silicon MOS transistors at cryogenic temperatures. *IEEE Transactions on Electron Devices* **15**, 362-368 (juin 1968) (cf. p. 64).
55. ROCHETTE, S. *et al. Single-electron-occupation metal-oxide-semiconductor quantum dots formed from efficient poly-silicon gate layout* 2017. arXiv : [1707.03895](https://arxiv.org/abs/1707.03895) (cf. p. 72).
56. CROOT, X. G. *et al. Gate-Sensing Charge Pockets in the Semiconductor Qubit Environment* juin 2017. arXiv : [1706.09626](https://arxiv.org/abs/1706.09626) (cf. p. 72).
57. CICCARELLI, C. & FERGUSON, A. J. Impedance of the single electron transistor at radio-frequencies. *New Journal of Physics* **13**, 093015 (août 2011) (cf. p. 79, 80).
58. PERSSON, F., WILSON, C. M., SANDBERG, M., JOHANSSON, G. & DELSING, P. Excess dissipation in a single-electron box : The sisypus resistance. *Nano Letters* **10**, 953-957 (2010) (cf. p. 79).
59. ROY, A.-M. *Détection de charge rapide radiofréquence* Mémoire de maîtrise (Université de Sherbrooke, oct. 2015), 47 (cf. p. 83).
60. KESTER, W. Understand SINAD, ENOB, SNR, THD, THD+ N, and SFDR So You Don't Get Lost in the Noise Floor, 2-9 (2009) (cf. p. 84).
61. ROOZBAHANI, R. G. BJT-BJT, FET-BJT, and FET-FET, On Improving the Gain-Bandwidth Product of Cascode Configurations. *IEEE Circuits and Devices Magazine* **20**, 17-22 (nov. 2004) (cf. p. 87).
62. MARTINIS, J. M., BARENDT, R. & KOROTKOV, A. N. *Calculation of Coupling Capacitance in Planar Electrodes* sept. 2014. arXiv : [1410.3458](https://arxiv.org/abs/1410.3458) [[physics.class-ph](https://arxiv.org/archive/physics)] (cf. p. 103).